



Universidad Nacional de Misiones



SISTEMAS DE CONTROL 2

Profesor: Fernando Botterón
Ingeniería Electrónica - 2020
Facultad de Ingeniería - U.Na.M

Repasos de las Unidades 1 y 2

- ✓ **Control Digital versus Control Analógico**
- ✓ **Ventajas y Desventajas del Control Digital respecto al Control Analógico**
- ✓ **Aspectos tecnológicos prácticos a tener en cuenta**
- ✓ **Tiempos Inherentes en una implementación digital**
- ✓ **Efectos del retenedor de orden cero ZOH**
- ✓ **Importancia de la elección adecuada de la frecuencia de muestreo**
- ✓ **Reglas empírica para la elección de la frecuencia de muestreo**
- ✓ **Aspectos de la implementación de un control digital**

Control Digital versus Control Analógico

Ventajas:

- ❖ Facilidad de Implementación dado que se reduce el número de componentes del controlador.
- ❖ Flexibilidad en la actualización de la estrategia de control.
- ❖ Menos sensibilidad a los ruidos y a las variaciones paramétricas de los componentes del controlador.
- ❖ Los dispositivos digitales con los cuales se implementa el controlador, permiten además incluir sistemas de supervisión, alarmas, registro, visualización y envío de datos, y, comunicación con otro sistemas de control.
- ❖ Se pueden implementar técnicas de control sofisticadas basadas en cálculos matriciales complejos, como las adaptativas con identificación paramétrica en tiempo real.
- ❖ Pueden implementarse estrategias de control de múltiples lazos con diferentes frecuencias de muestreo y por lo tanto con diferentes anchos de banda. **Ejemplos:** corriente – velocidad – posición de un motor. O, corriente – tensión – potencia de una fuente de tensión CC o CA.

Control Digital versus Control Analógico

Desventajas:

- ❖ Existen limitaciones de velocidad de cálculo y por ende, de actuación:
 - La acción de control es obtenida por el controlador a partir del procesamiento digital de señales analógicas, y esto lleva un tiempo finito determinado.
 - La velocidad finita de cálculo del procesador digital, sumado a los tiempos de conversión de las señales analógicas, provoca retrasos en la aplicación de la acción de control: este retraso debe ser tenido en cuenta para evitar la inestabilidad del sistema de control.
 - Este atraso puede ser tenido en cuenta en el modelo dinámico del proceso a controlar o en la actuación (Módulo PWM).
- ❖ Existen limitaciones con la resolución de la conversión AD y la representación de las constantes y variables utilizadas en la implementación:
 - El efecto del truncamiento o redondeo, se traduce en una perturbación sobre las variables.
 - La acción de control sufre de pérdida de información cuando se la convierte de digital a analógica: Limitaciones en la resolución por cuestiones tecnológicas de los conversores DA o limitación del tamaño de palabra de los registros del modulador PWM y reducción de la resolución con el incremento de la frecuencia del PWM.

Aspectos Tecnológicos a tener en cuenta en un dispositivo digital

- ❑ Velocidad de procesamiento de la CPU en Millones de instrucciones por segundo (MIPS) o Millones de operaciones de punto flotante por segundo (MFLOPS), dependiendo de la arquitectura de la ALU:
 - Aquí entra en juego la frecuencia máxima del reloj con la cual puede operar la CPU y la arquitectura de hardware de la misma, la cual no es la misma para un microcontrolador que para un DSP o DSC. Esto es de interés cuando la estrategia de control digital a implementar es compleja, ya que se traduce en tiempo de atraso de cálculo según la CPU seleccionada que aporta al tiempo total de la implementación digital.
- ❑ Velocidad (o tiempo) de conversión del ADC en Miles o Millones de muestras p/segundo (KSPS o MSPS):
 - En este punto entra en juego la tecnología utilizada para realizar la conversión. La elección de la misma, es una solución de compromiso entre velocidad y resolución: Vimos que conversores AD por aproximaciones sucesivas, son ampliamente utilizados en microcontroladores y DSC porque consiguen reducidos tiempos de conversión y relativamente buena precisión (entre 10 y 12 bits). Este parámetro es imprescindible porque también aporta un valor finito de tiempo, al tiempo total de la implementación digital. Y estos tiempos, además del tiempo que utiliza la conversión propiamente dicha, varían según la cantidad de variables a convertir y si las mismas son convertidas en forma secuencial o por grupos.

Aspectos Tecnológicos a tener en cuenta en un dispositivo digital

❑ Resolución del conversor Analógico a Digital:

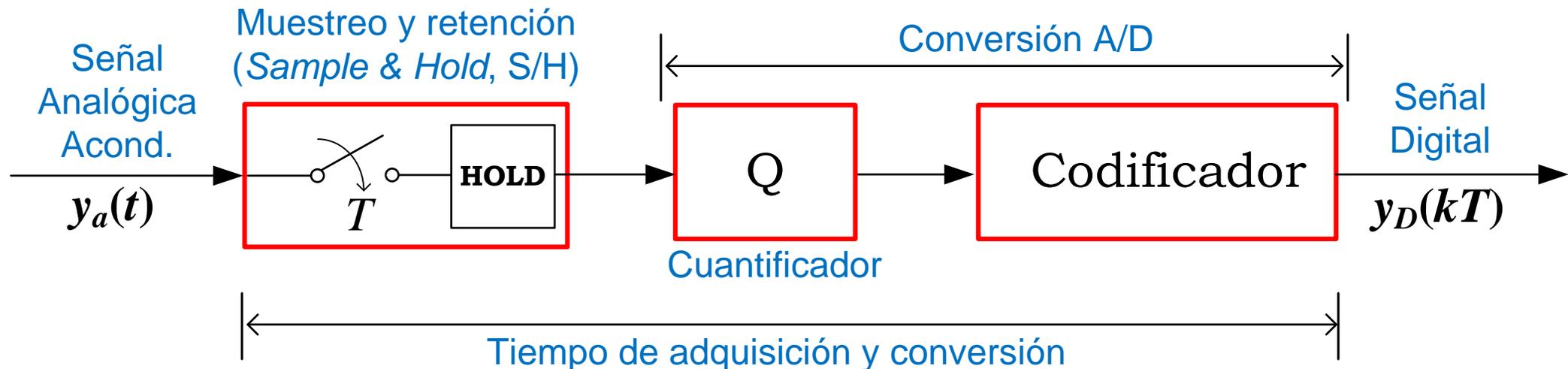
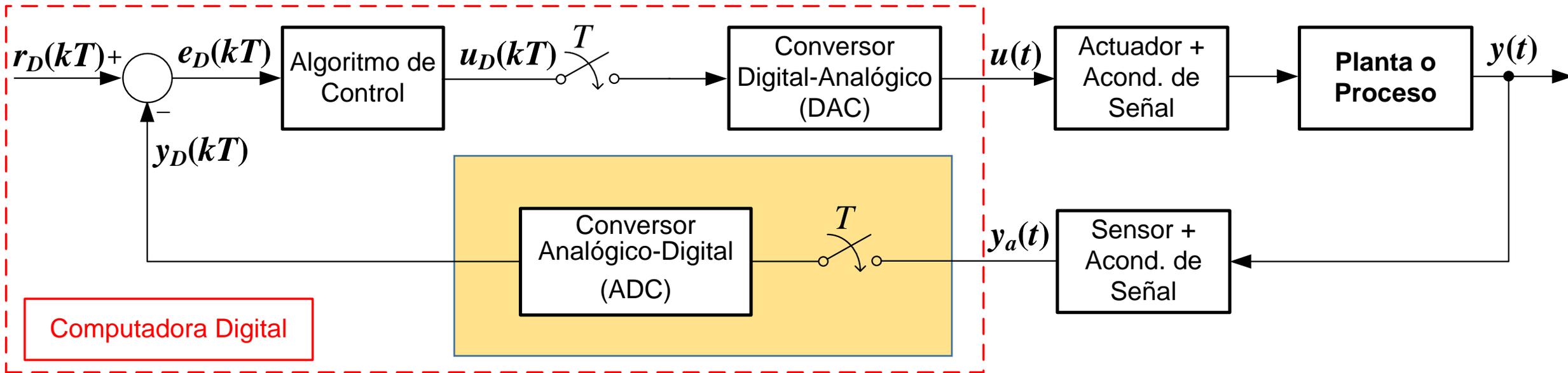
- En este punto entra en juego también la tecnología utilizada para realizar la conversión, que como se mencionó en la primera clase, está en función de no comprometer los tiempos de conversión y no incrementar los costos por la complejidad del diseño micro electrónico.
- Puede afirmarse que, en aplicaciones de control digital para una gran parte de los procesos de la industria o para equipamientos electrónicos con altas exigencias de calidad en las respuestas, las resoluciones más comunes de entre 10 y 12 bits, son más que suficientes. Este parámetro es muy importante desde el punto de vista de poder representar con la mayor exactitud numérica posible, las variables en juego en la estrategia de control, y poder codificar y cuantificar con la mejor resolución posible las pequeñas variaciones que puedan presentar esas variables. En definitiva, a mayor resolución, menor pérdida de información se tiene de las variables de interés y mejor capacidad dispongo para actuar sobre el proceso.

Aspectos Tecnológicos a tener en cuenta en un dispositivo digital

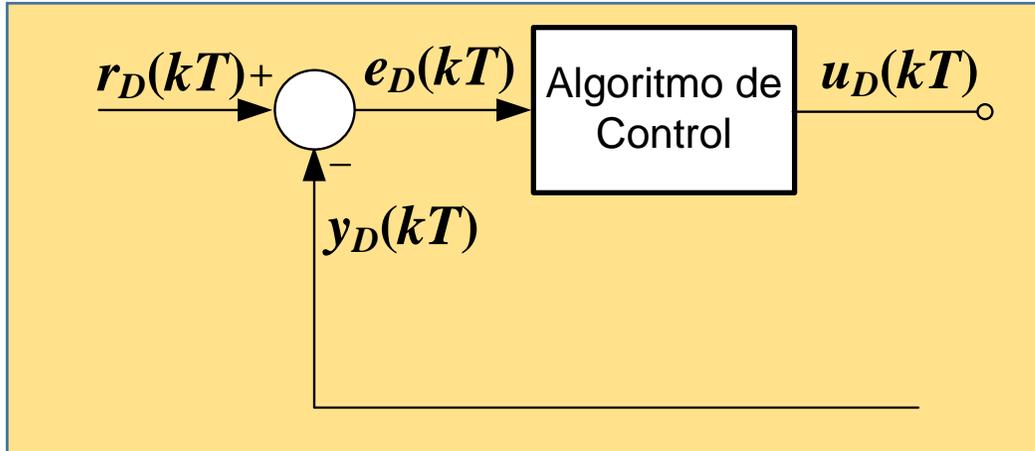
❑ Tamaño de palabra de datos:

- Es muy común encontrar en los dispositivos diseñados para automatización y control industrial, CPU que operan con tamaños de palabra de 8, 16 y 32 bits. En este punto se relaciona el tamaño de palabra de un registro de la memoria de datos y de programa con las cuales interactúa la ALU.
- Son muy comunes hoy día, tanto en los microcontroladores y DSP (o DSC) encontrar una gran mayoría de arquitecturas de CPU con tamaño de palabra de 16 bits y aritmética de punto fijo, y en los DSC más avanzados, ya se tienen CPU de 32 bits con memorias de tamaños de palabra de 16 bits; en este último caso, algunas ALU pueden operar con aritmética de punto fijo o punto flotante. En cuanto a las ventajas de una CPU de 16 o 32 bits, las mismas radican que pueden manejar operaciones con acumuladores o resultados de multiplicaciones de hasta 32 y 64 bits, respectivamente; aspecto relevante cuando deben manejarse variaciones importantes de las señales que conforman el control.
- En cuanto al tamaño de palabra de los registros de memoria, una representación de 16 bits consigue buenos resultados, considerando aritmética de punto fijo, en función de como resulten las magnitudes de las partes enteras de las variables y constantes utilizadas.
- En este último caso, puede mejorarse la resolución de las variables utilizando palabras de 32 bits, no obstante, es imprescindible contar con una cantidad de memoria apropiada.

Sistema de Control Digital: Tiempos a tener en cuenta



Sistema de Control Digital: Tiempos a tener en cuenta



Tiempo de cálculo del algoritmo de control

```
// Rutina de Servicio a la Interrupción
void __attribute__((interrupt, auto_psv)) _ADCInterrupt(void)
{
  { convertido = ADCBUF0;      // Almacena resultado de la conversión.
    Velocidad = MulFix12(convertido,KbQ12);      // Normaliza la conversión a Q12

  // Cálculo del error actual
  error_k = Referencia - Velocidad;

  // Cálculo de la acción de control

  // Acción PI, aprox. Forward: upi(k) = upi(k-1) + Kpi*e(k) + a*Kpi*e(k-1)
  upi_k = AddFix(AddFix(MulFix12(error_k,Kpi),MulFix12(error_km1,aKpi)), upi_km1);

  // Limitación de la acción de control integral anti-windup
  if(upi_k >= LimiteMaximo)      // Si es >= a Límite Máximo
    { upi_k = LimiteMaximo;      // iguala a Límite Máximo.
      upi_km1 = SubFix(upi_k, AddFix(MulFix12(error_k,Kpi),MulFix12(error_km1,aKpi)));
    }

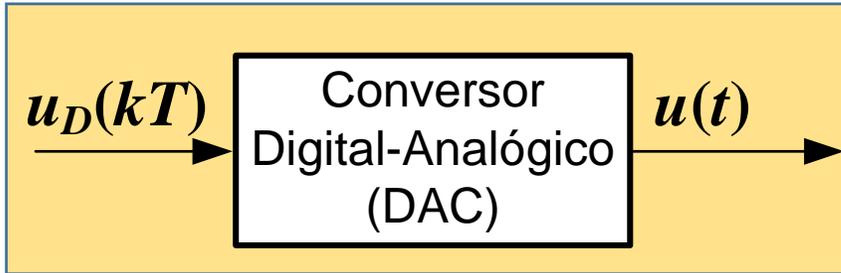
  // Acción D (desde la salida) aprox. Backward: ud(k) = Kdd*[y(k)-y(k-1)]/T
  error_v = Velocidad - Velocidad_km1; // Error de velocidad: y(k)-y(k-1).
  fm_error_v = MulFix(error_v, fm,12); // Aprox. en Q12 de [y(k)-y(k-1)]/T
  ud_k = MulFix12(Kdd,fm_error_v); // Cálculo de la acción derivativa

  // Acción PI-D
  upid_k = upi_k - ud_k;

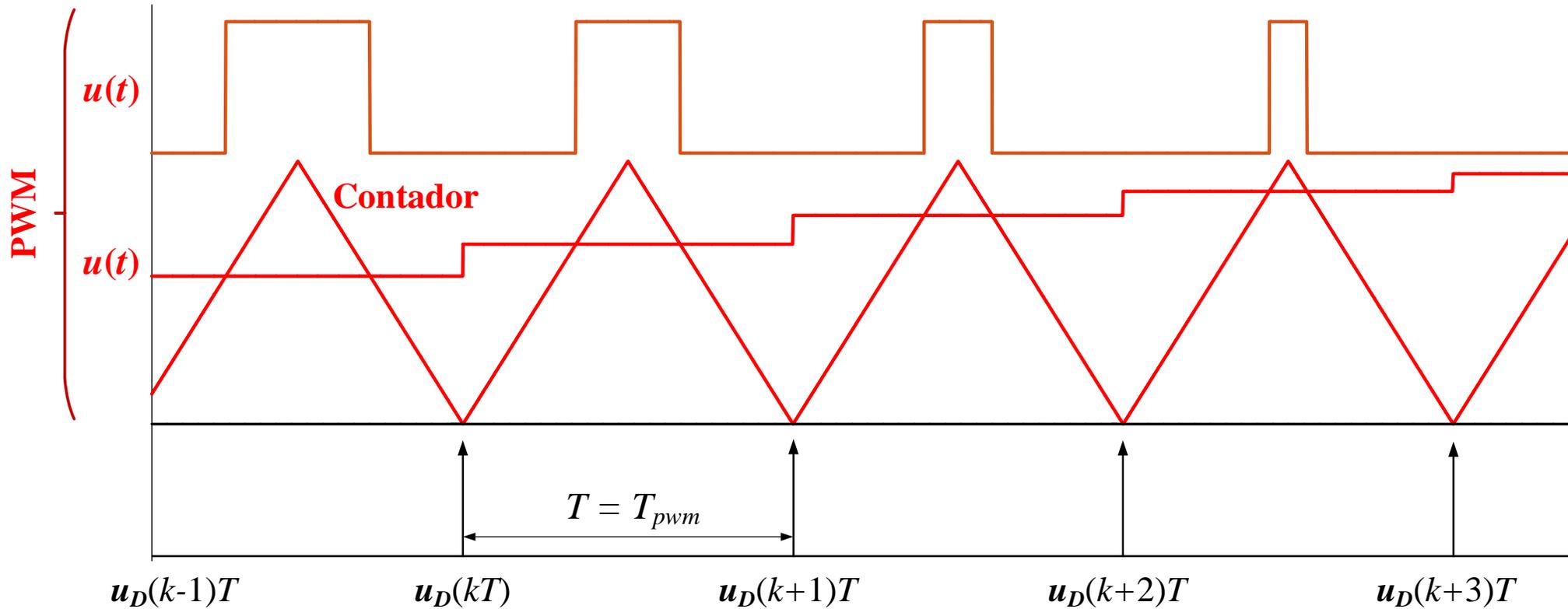
  // Valores anteriores para el próximo periodo de muestreo:
  error_km1 = error_k;
  upi_km1 = upi_k;
  Velocidad_km1 = Velocidad;

  // Aplica acción de control a la salida: Módulo PWM
  uk = upi_k;
  // Cálculo del ciclo útil a partir de la acción de control
  // -----
  // Almacena el valor en PDC1, registro ciclo útil del módulo PWM
  PDC1 = MulFix12(uk,(PeriodoPWM + 1)) << 1;
```

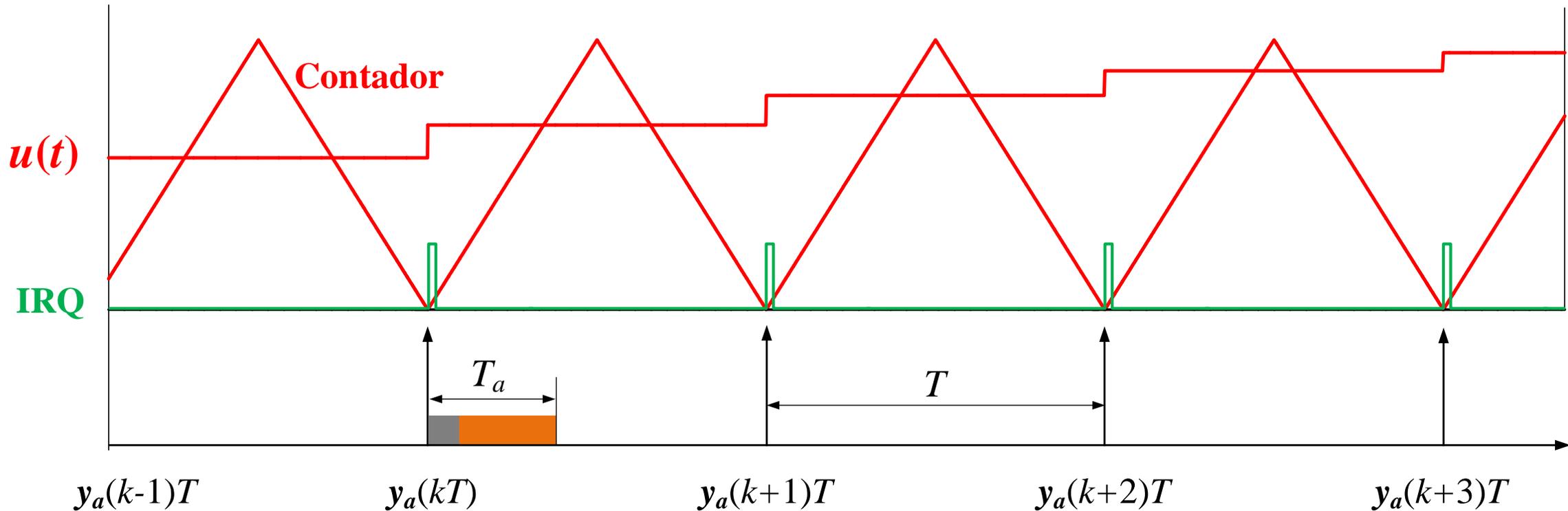
Sistema de Control Digital



Tiempo de Conversión DA y Actualización de la acción calculada a la salida



Tiempos inherentes a la Implementación de un Control Digital



■ Tiempo de Adquisición, Conversión y Normalización

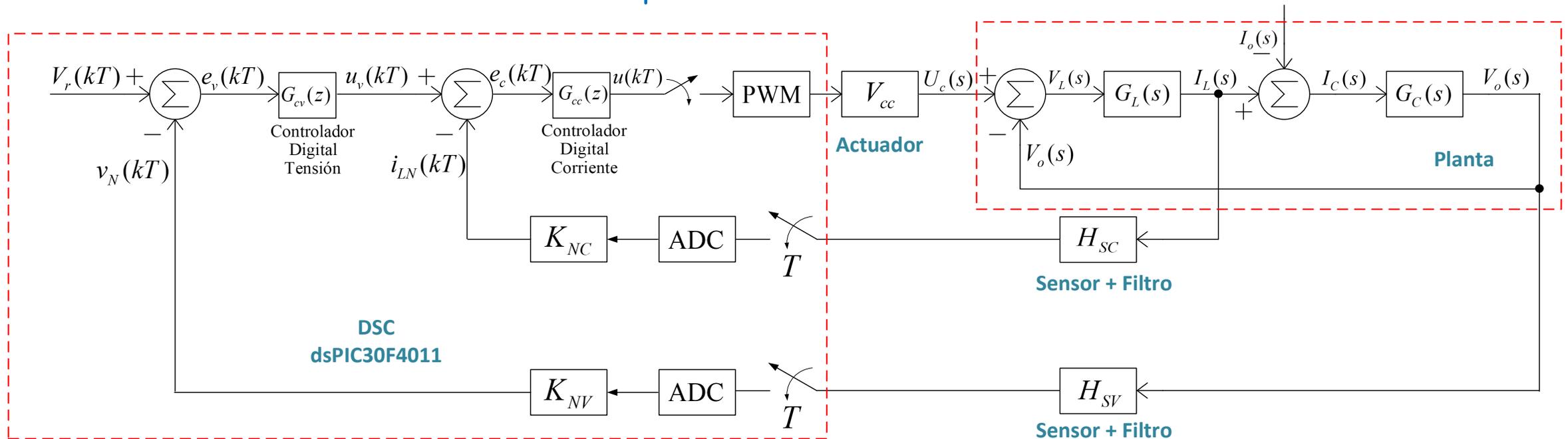
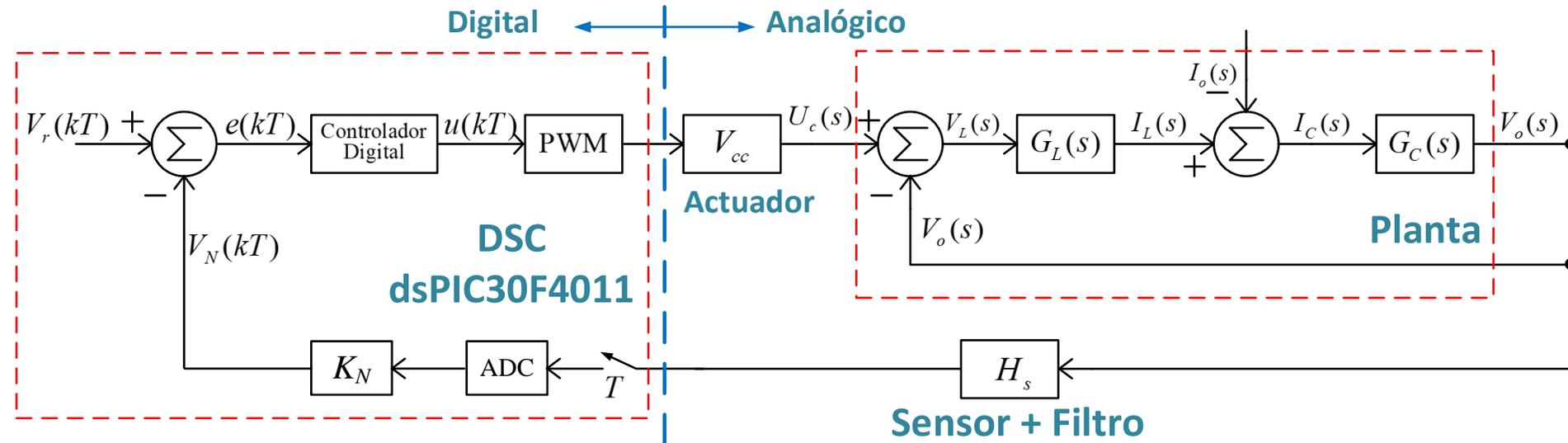
■ Tiempo de Cálculo

T : Periodo de Muestreo

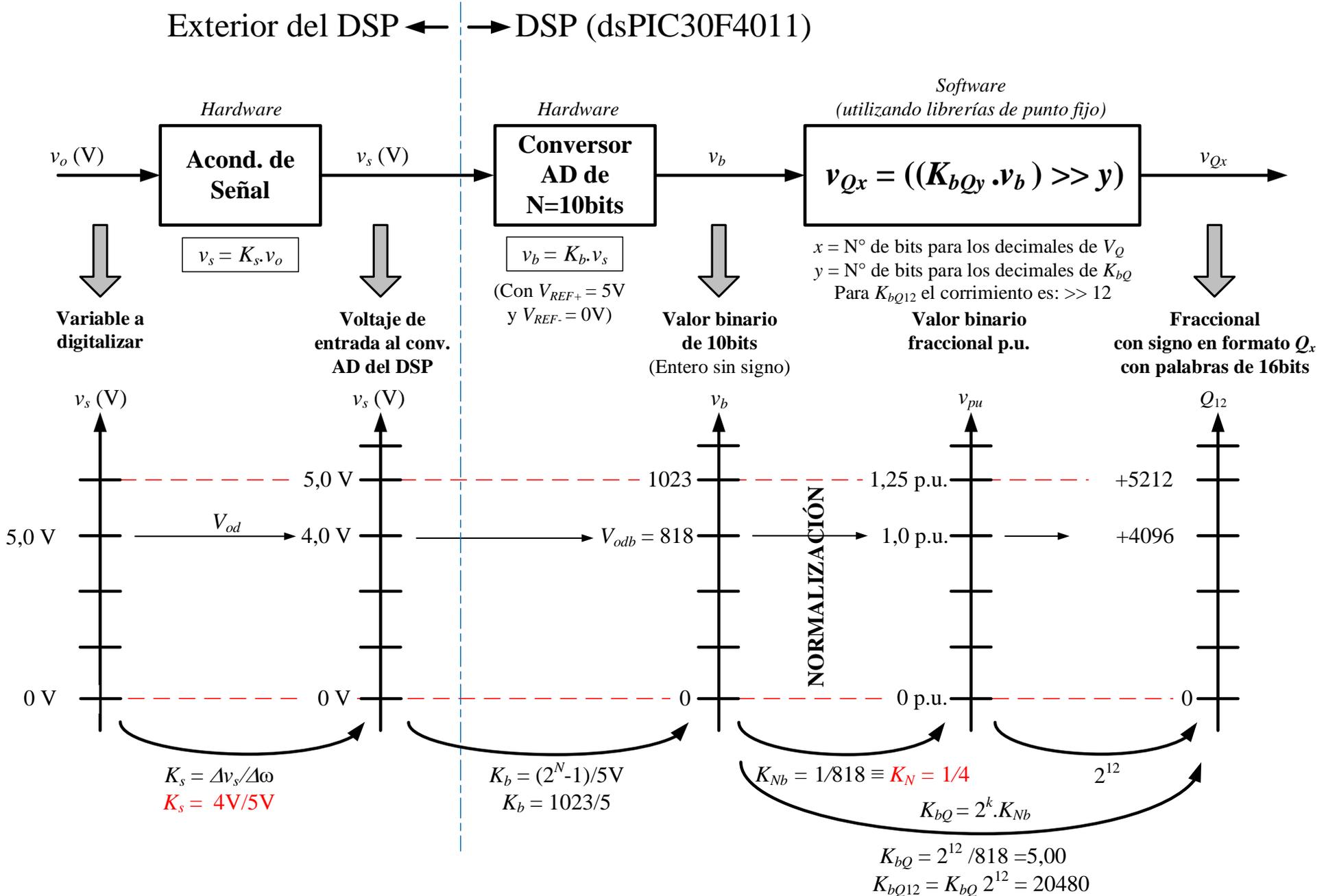
T_a : Tiempo de Atraso Implementación

Actualización a la salida, de la acción $u(kT)$ calculada: Inmediata o retrasada (1/2 periodo o 1 periodo)

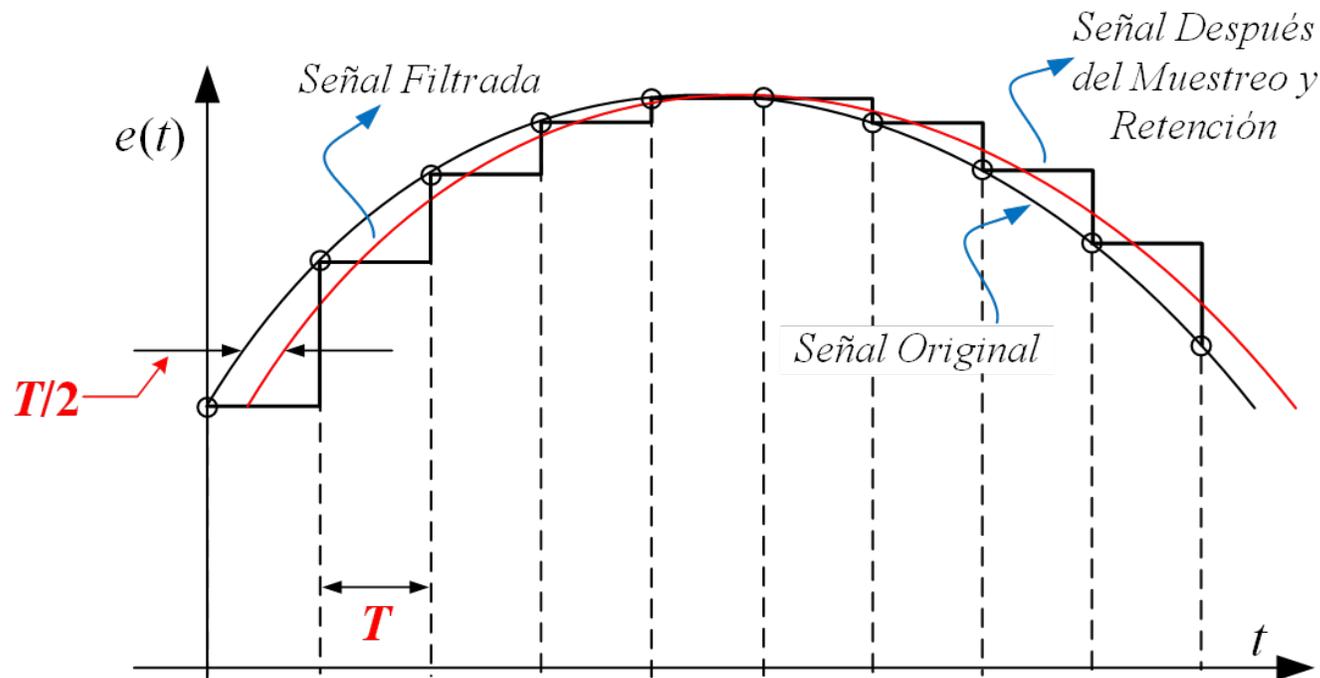
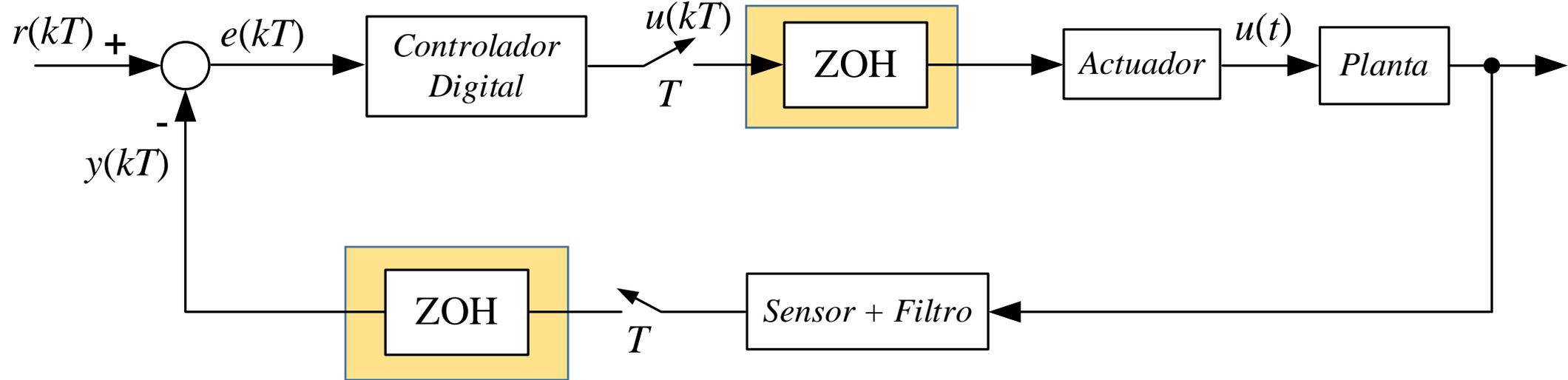
DSC dsPIC30F4011 (Microchip) – Aplicaciones: Control Convertidor Buck



DSC
dsPIC30F4011
Aplicaciones:
Control
Convertidor Buck
Normalización
muestra al
formato de punto
fijo



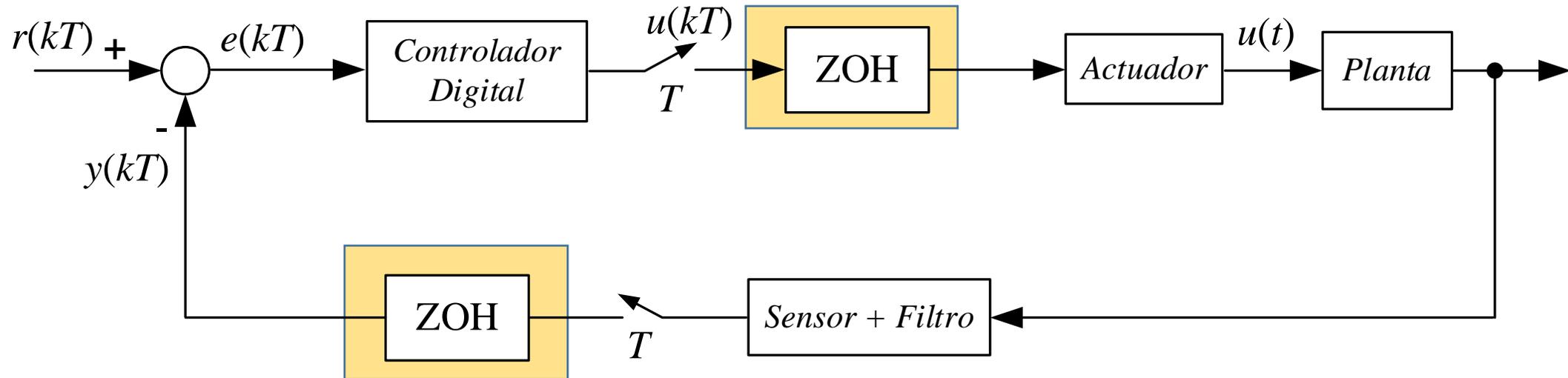
Efectos del Retenedor de Orden Cero (ZOH)



$$G_{zoh}(s) = \frac{1 - e^{-sT}}{sT}$$

$$G_{zoh_a} \cong e^{-s(T/2)} = \frac{2/T}{s + (2/T)}$$

Efectos del Retenedor de Orden Cero (ZOH)



- Se comporta como un filtro pasa bajos.
- La precisión del ZOH en la aproximación depende de la frecuencia de muestreo seleccionada
- El ZOH introduce un atraso de $T/2$ segundos en la señal muestreada.
- A mayor periodo T , mayor es la influencia del ZOH, afectando el desempeño y la estabilidad relativa del sistema digital en lazo cerrado.

$$G_{zoh}(s) = \frac{1 - e^{-sT}}{sT}$$

$$G_{zoh_a} \cong e^{-s(T/2)} = \frac{2/T}{s + (2/T)}$$

Influencia de la elección de la frecuencia de muestreo en el desempeño y estabilidad de lazo cerrado en tiempo discreto

Una selección racional de la frecuencia de muestreo en un sistema de control de lazo cerrado en tiempo discreto, debe estar basada en su influencia sobre el desempeño del sistema de control y la estabilidad relativa.

- La frecuencia de muestreo debe ser lo suficientemente alta para contemplar la componente de mayor frecuencia presente en la señal controlada $y(t)$ y así conseguir:
 - ✓ Aumento del ancho de banda en LC
 - ✓ Buen rechazo de perturbaciones
 - ✓ Aumento de la robustez del sistema en LC
 - ✓ Se reduce la pérdida de información entre muestras
 - ✓ No debe requerir un esfuerzo computacional muy grande.

Reglas empíricas para la elección de la frecuencia de muestreo

- La frecuencia o periodo de muestreo puede obtenerse en base a parámetros característicos de las respuestas temporales o respuestas en frecuencia de sistemas en lazo cerrado en tiempo continuo:
 - ✓ Número de muestras x tiempo de subida de la respuesta al escalón, de sistemas de 1er orden o de 2do orden sobreamortiguados.
 - ✓ Número de muestras por periodo de oscilación T_d , de la respuesta al escalón de sistemas subamortiguados de 2do o mayor orden.
 - ✓ Número de muestras en base a la frecuencia no amortiguada ω_n
 - ✓ Frecuencia de muestreo en base a la frecuencia de ancho de banda de lazo cerrado.
 - ✓ Frecuencia de muestreo en base a la frecuencia de corte de lazo cerrado.

Reglas empíricas para la elección de la frecuencia de muestreo

Una Regla Práctica muy útil para la elección de la frecuencia de muestreo, es la siguiente:

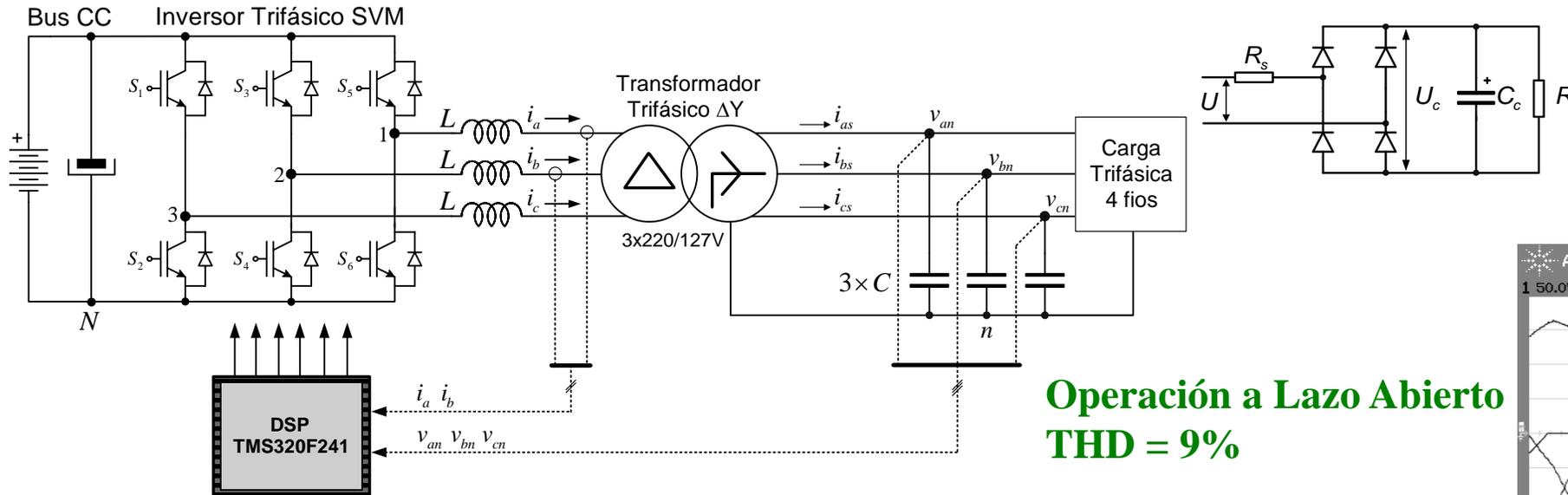
$$f_m \geq 10 \times f_{\max}$$

Siendo f_m la frecuencia de muestreo y f_{\max} , la máxima componente de frecuencia contenida en la señal de interés o señal controlada.

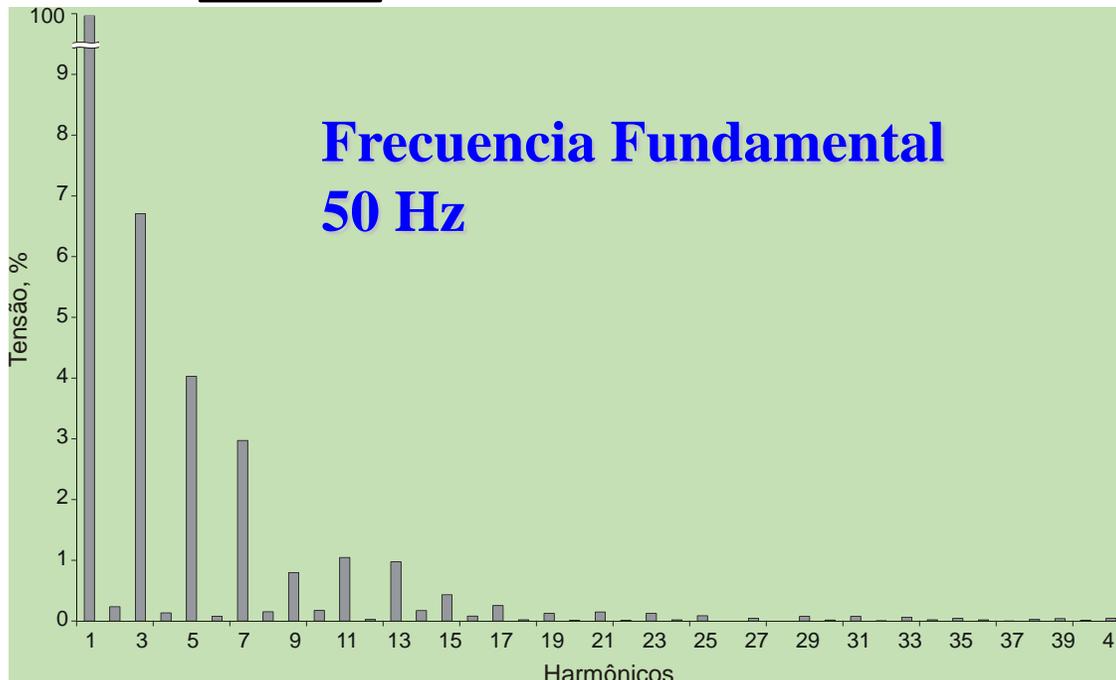
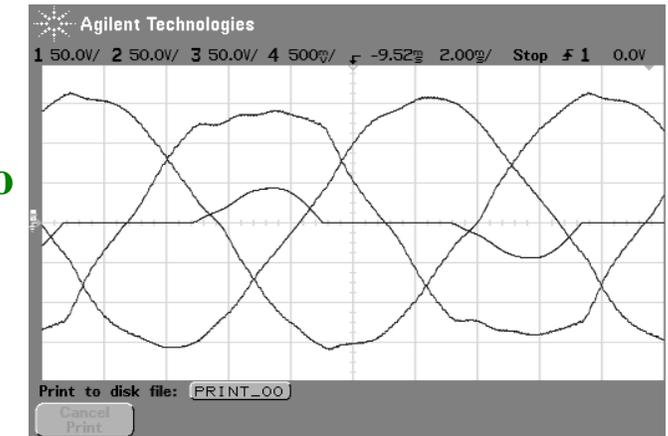
- Con esta relación se consigue una adecuada solución de compromiso entre desempeño transitorio, rechazo de perturbaciones exógenas, estabilidad y robustez.
- Se consigue un muy buen ancho de banda sin riesgo de amplificar ruidos que perturben el desempeño en régimen estacionario.
- Así mismo, debe analizarse cada caso en forma particular, observándose las constantes de tiempo más dominantes del proceso y las frecuencias de las posibles perturbaciones que pueden presentarse en la operación a lazo cerrado.

IMPORTANTE: Todo sistema de control digital, la máxima frecuencia que puede compensar es la Frecuencia de Nyquist, o sea, la mitad de la frecuencia de muestreo: $f_m/2$

EJEMPLO: Inversor trifásico con carga no lineal conectada entre una fase y el neutro



Operación a Lazo Abierto
THD = 9%

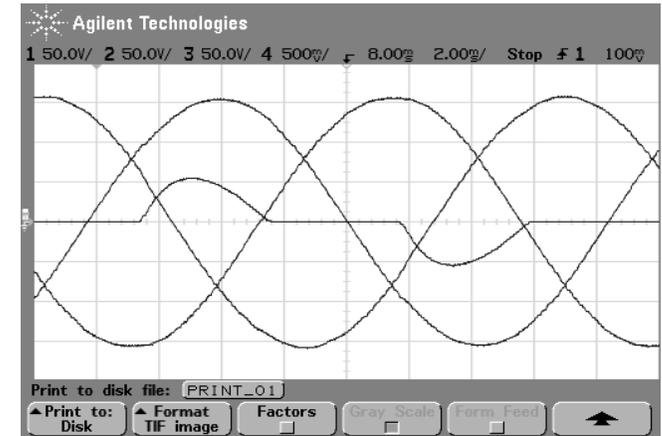
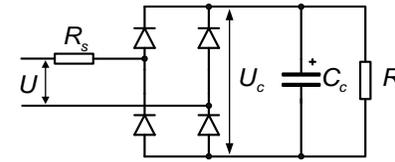
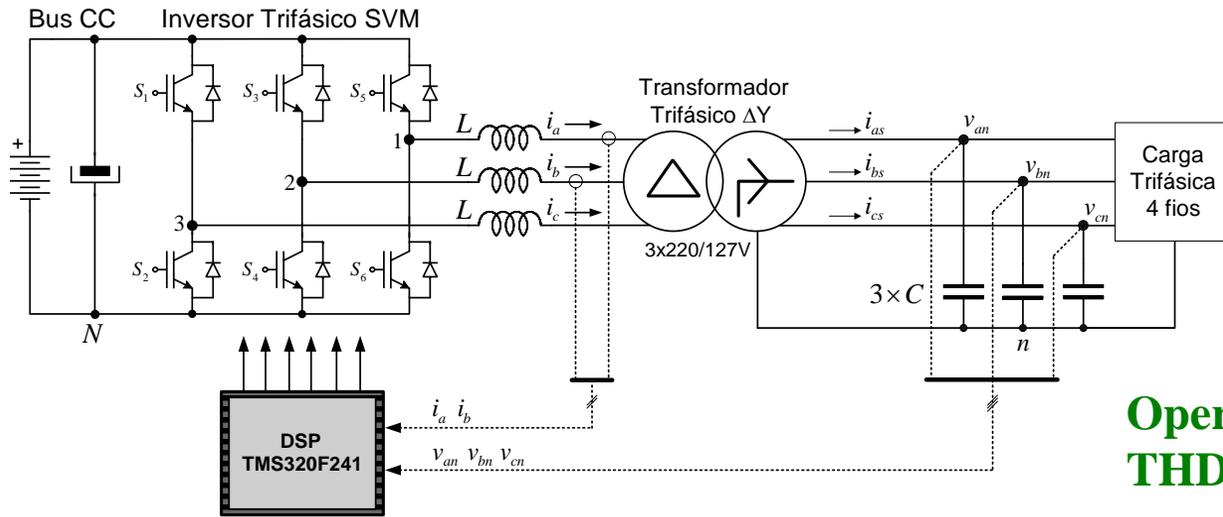


Si se quiere compensar hasta la 13^o armónica

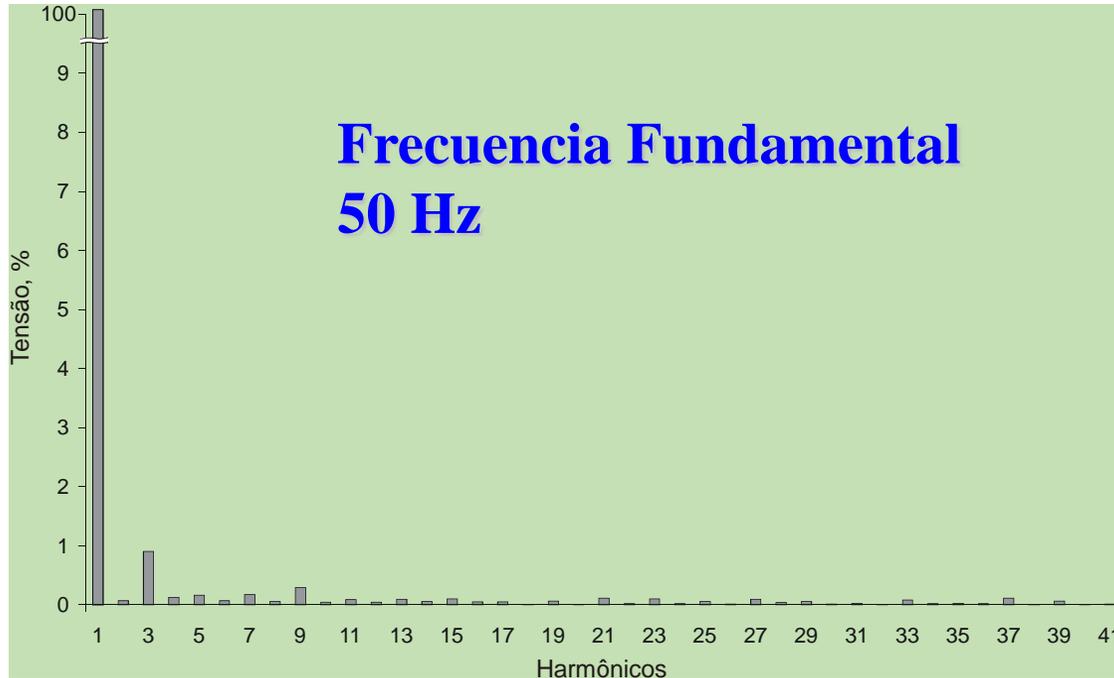
$$f_m \geq 10 \times 21 \times 50\text{Hz} = 10,5\text{kHz}$$

Significa que con 10 kHz ya se consiguen muy buenos resultados y 12 kHz sería mejor aún, o sea, mayor al valor obtenido.

EJEMPLO: Inversor trifásico con carga no lineal conectada entre una fase y el neutro



Operación a Lazo Cerrado
THD = 1,3 %



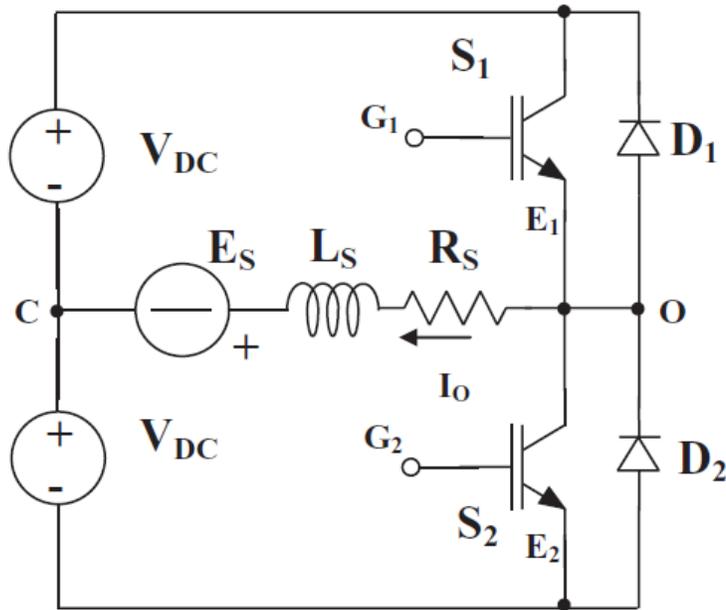
Eligiendo $f_m = 12$ kHz, el sistema de control digital, puede compensar hasta 6 kHz, o sea, $f_m/2$.

Significa que con 6 kHz se pueden compensar armónicas hasta el orden $120 = 6000 \text{ Hz}/50 \text{ Hz}$.

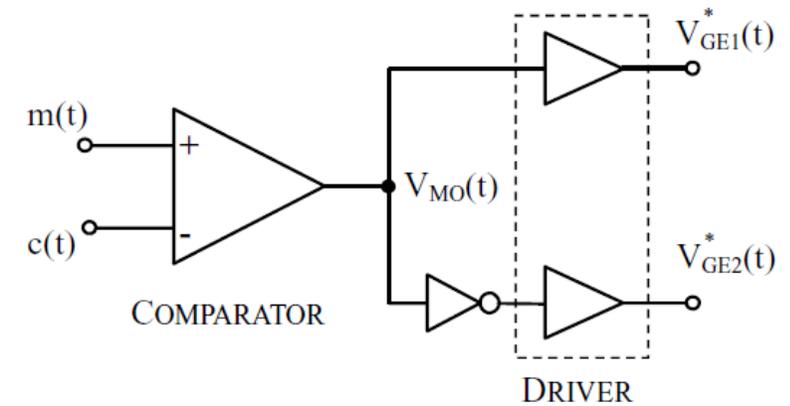
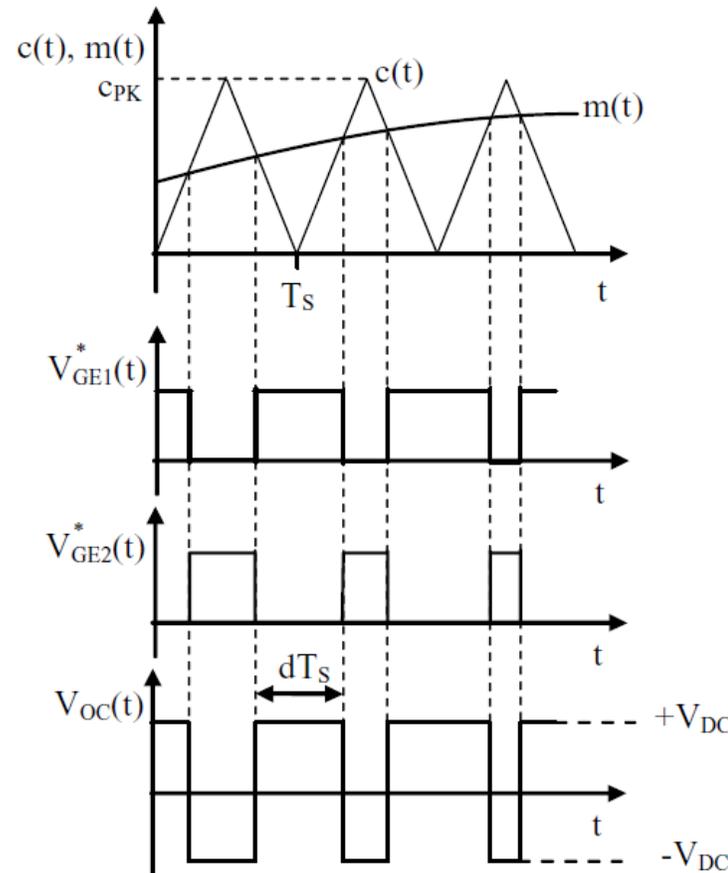
Es importante observar que el 21° armónico se encuentra en $21 \times 50 \text{ Hz} = 1050 \text{ Hz}$. Significa que como mínimo, la frecuencia de muestreo debe ser $2 \times 1050 \text{ Hz} = 2100 \text{ Hz}$.

Aspectos sobre la implementación en Convertidores Electrónicos de Potencia

Inversor Monofásico PWM para inyección de corriente a la red



Inversor alimentado en tensión medio puente



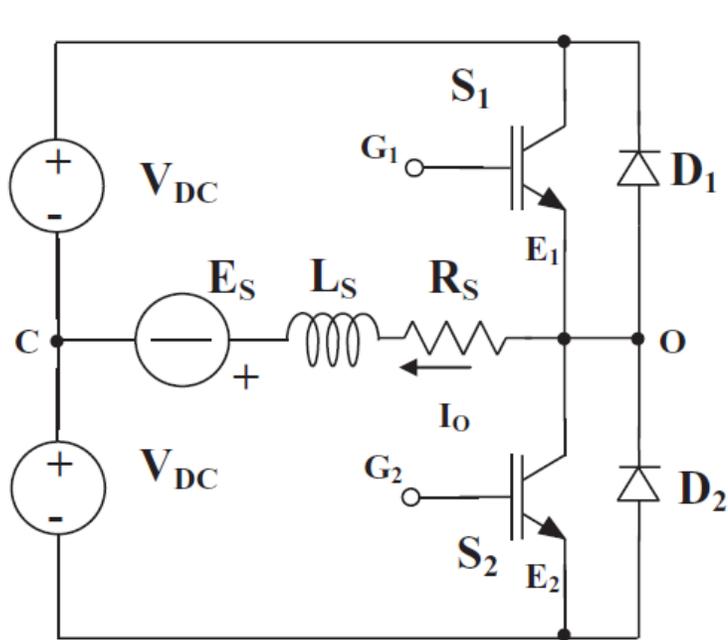
Implementación analógica de un modulador PWM

El ciclo útil o ciclo de trabajo, está dado por

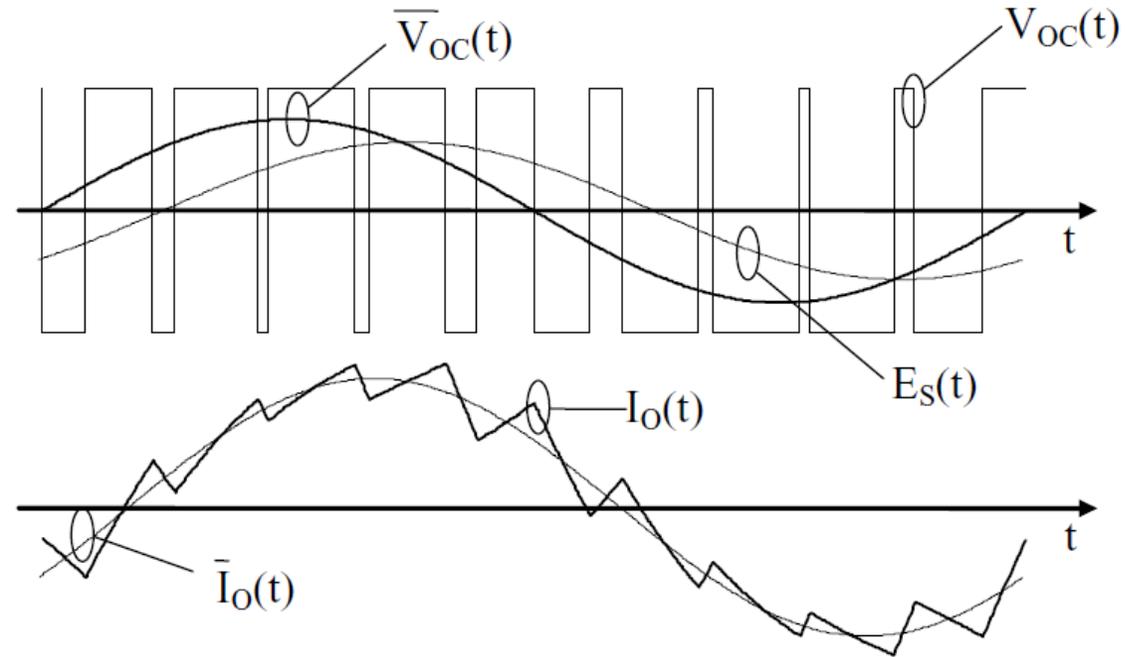
$$d(t) = \frac{m(t)}{c_{PK}}$$

Aspectos sobre la implementación en Convertidores Electrónicos de Potencia

Inversor Monofásico PWM para inyección de corriente a la red



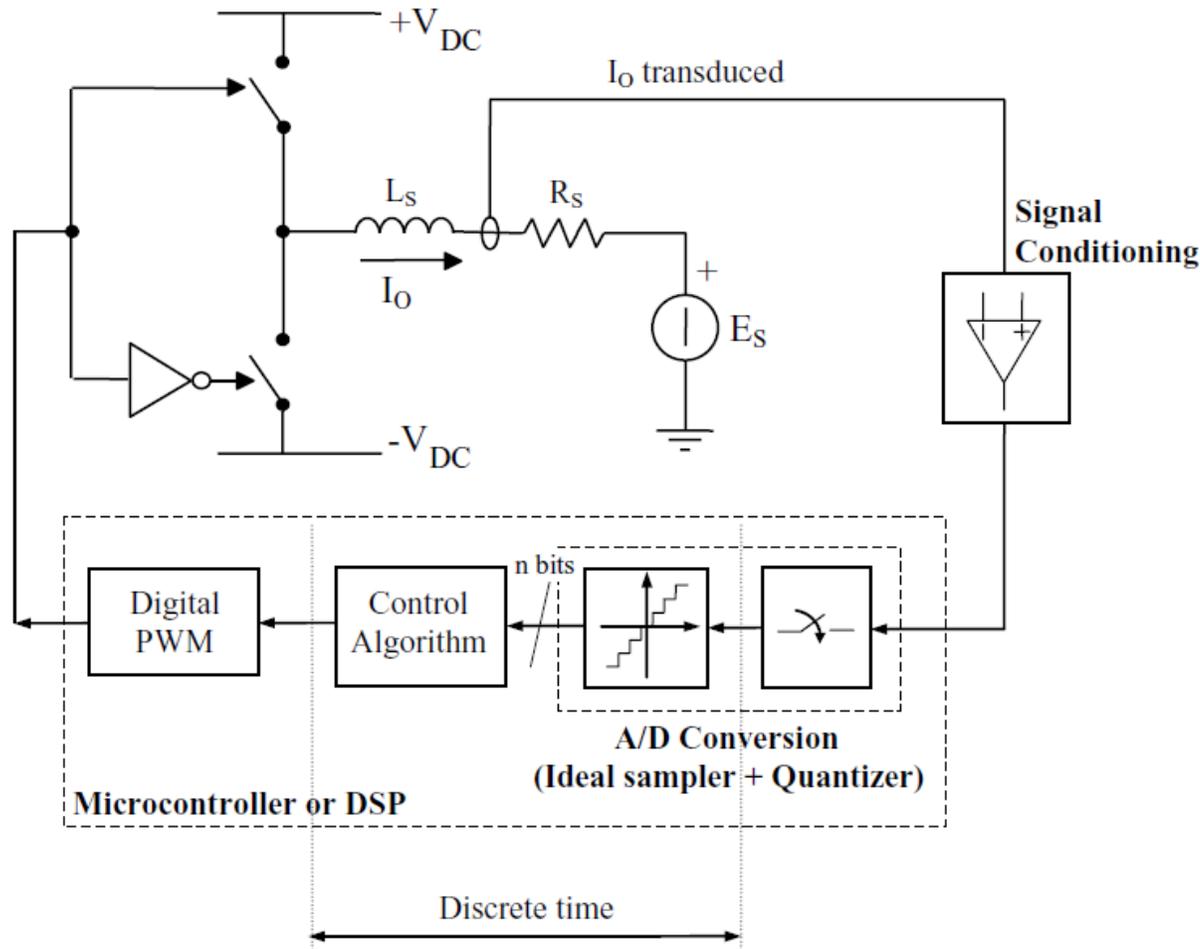
**Inversor alimentado en
tensión medio puente**



La corriente de carga resultante $I_o(t)$ posee un valor medio $\bar{I}_o(t)$ cuya forma de onda está determinada por los valores medios instantáneos de $\bar{V}_{oc}(t)$ y los valores de $E_s(t)$.

Aspectos sobre la implementación en Convertidores Electrónicos de Potencia

Inversor Monofásico PWM para inyección de corriente a la red



Control digital de corriente del inversor PWM

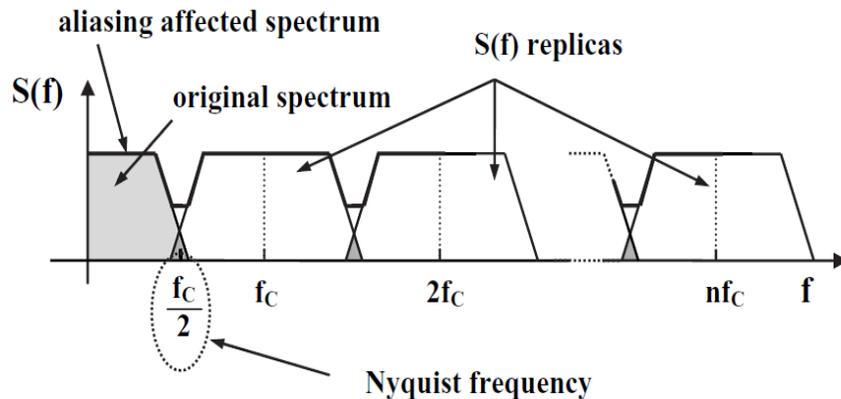
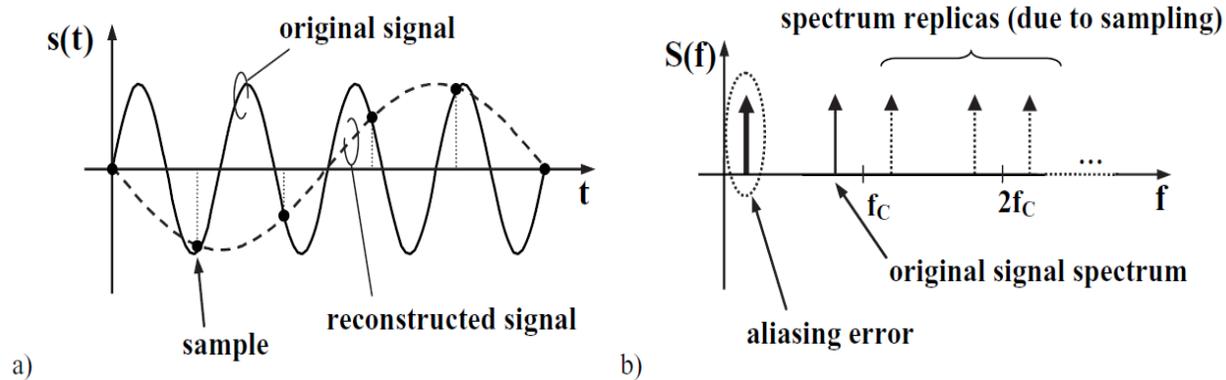
El circuito de acondicionamiento debe garantizar que: (1) la señal del sensor sea amplificada en el sentido de aprovechar al máximo el rango de tensión de entrada del ADC, y (2), de ser necesario, la señal debe ser filtrada para evitar efectos de solapamientos o *aliasing*.

El número efectivo de bits necesarios está dado por:

$$N_e = n - \text{floor} \left[\frac{\log_{10} \left(\frac{\text{FSR}}{X_{pp}} \right)}{\log_{10}(2)} \right]$$

Aspectos sobre la implementación en Convertidores Electrónicos de Potencia

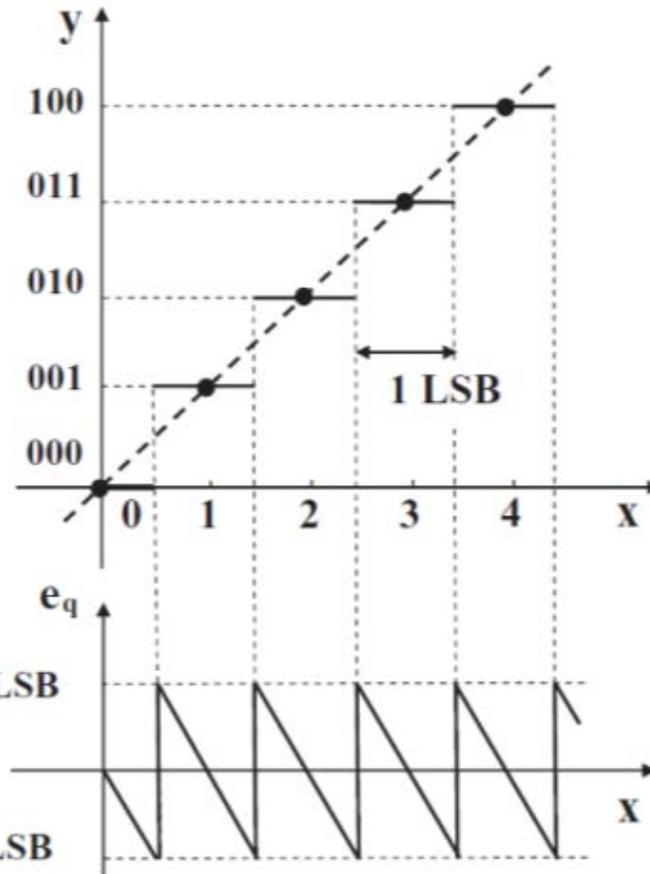
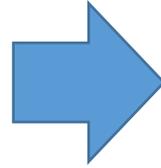
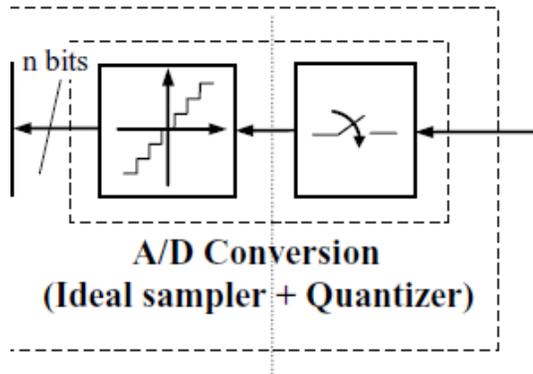
Inversor Monofásico PWM para inyección de corriente a la red



El fenómeno de *aliasing* es una consecuencia de la violación del teorema del muestreo, que define las limitaciones para la reconstrucción exacta de una señal muestreada uniformemente. El teorema muestra que existe un límite superior para el ancho de banda de la señal muestreada, más allá del cual la reconstrucción perfecta, incluso mediante filtros de interpolación ideales, se vuelve imposible y aparecen fenómenos de aliasing o solapamientos. El límite superior se llama **frecuencia de Nyquist** y se sabe que es igual a la mitad de la frecuencia de muestreo, f_s .

Efecto de *aliasing* en la señal reconstruida debido a la baja frecuencia de muestreo

Aspectos sobre la implementación en Convertidores Electrónicos de Potencia



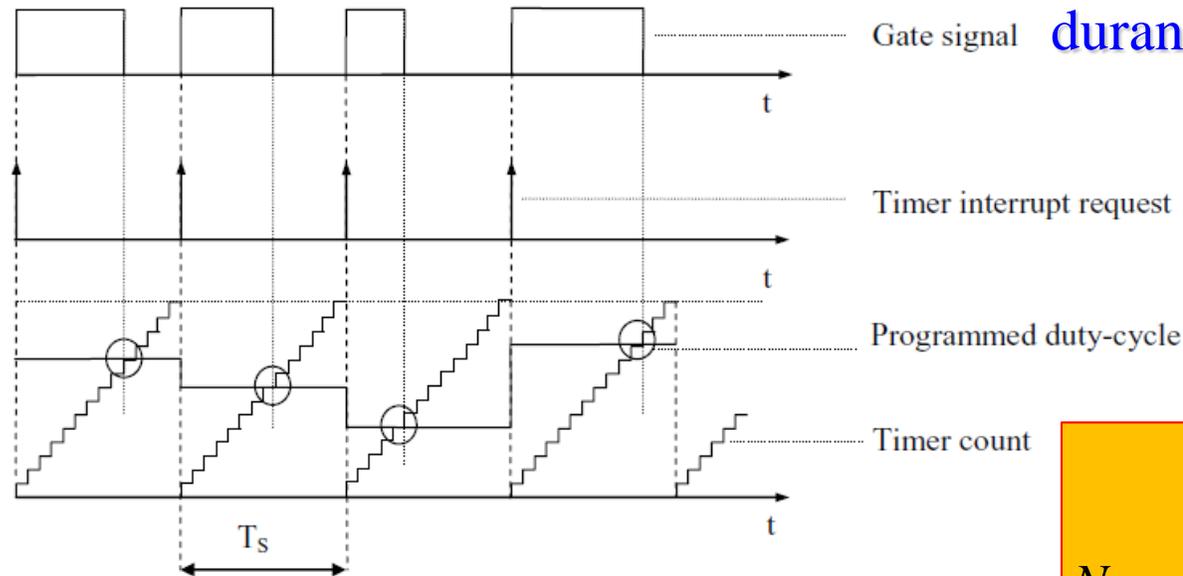
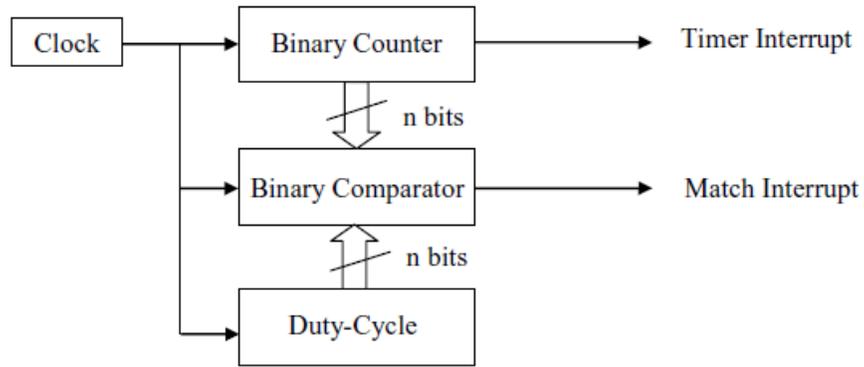
Característica del cuantizador uniforme y error de cuantización, e_q

El proceso de conversión AD se puede modelar matemáticamente como la conexión en cascada de un **muestreador ideal** y un **cuantificador uniforme** de n bits.

El cuantificador se denomina "uniforme" dado que los posibles valores discretos se pueden interpretar como múltiplos enteros de una unidad fundamental denominada paso de cuantificación Q , o, de manera equivalente, el bit menos significativo (LSB).

El ruido de cuantificación típico " e_q ", se agrega a la señal como resultado de la conversión AD. Esto puede interpretarse como la pérdida inevitable de la información asociada con la señal de entrada, inherente a la conversión AD.

Aspectos sobre la implementación en Convertidores Electrónicos de Potencia



Modulador PWM Digital - DPWM

Este componente procesa la salida del algoritmo de control, una señal de tiempo discreto, y la convierte en una señal de tiempo continuo, determinada por el estado de los interruptores del inversor.

En realidad, cumple las veces de un **retenedor de la acción de control** o ciclo de trabajo de tiempo discreto, durante un periodo de conmutación.

El parámetro N_e también es importante para determinar el paso de cuantificación del ciclo de trabajo, o sea, la resolución con la que se puede implementar el ciclo útil $d(t)$.

$$N_e = \text{floor} \left[\frac{\log_{10} \left(\frac{f_{clock}}{f_s} \right)}{\log_{10}(2)} \right] + 1$$

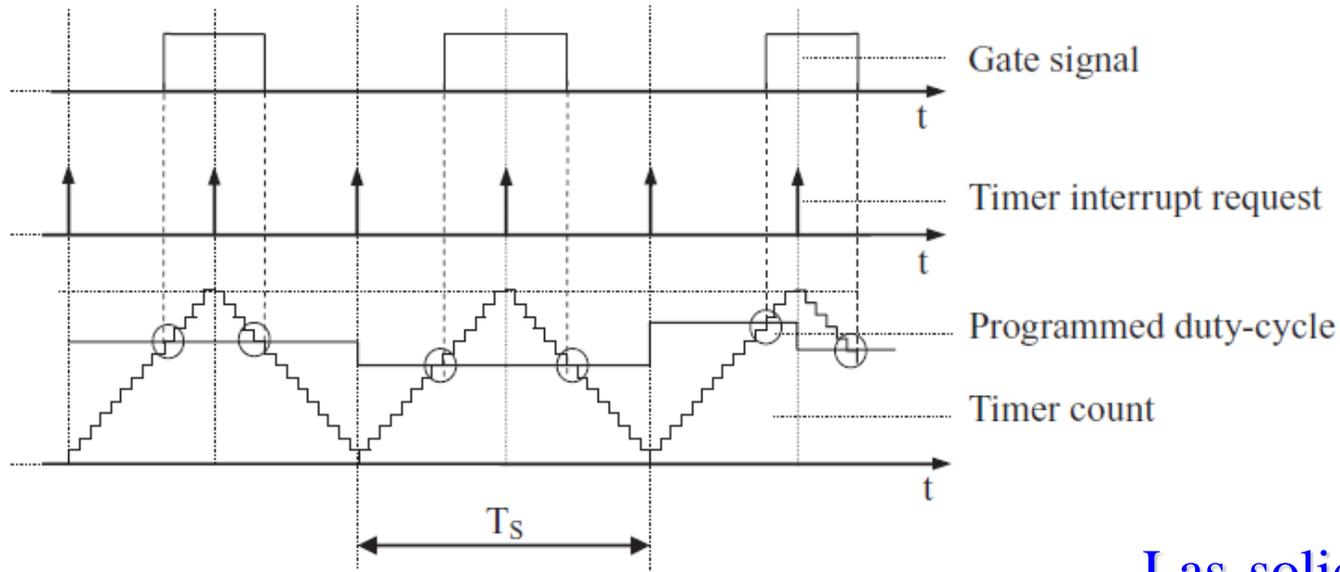
$$f_{clock} = 40\text{MHz} \text{ y } f_s = 5\text{kHz}$$

$$N_e = 26.575 > 14 \text{ bits}$$

$$\text{con } f_s = 20\text{kHz}$$

$$N_e = 6.644 > 12 \text{ bits}$$

Aspectos sobre la implementación en Convertidores Electrónicos de Potencia



Modo de operación de actualización doble para un DPWM con pulso centrado en T_s .

En la ocurrencia de una perturbación, el retardo de respuesta del modulador se reduce con respecto al caso de actualización única porque ahora, la actualización del ciclo de trabajo se puede realizar en la ocurrencia de una solicitud de interrupción a cada medio período.

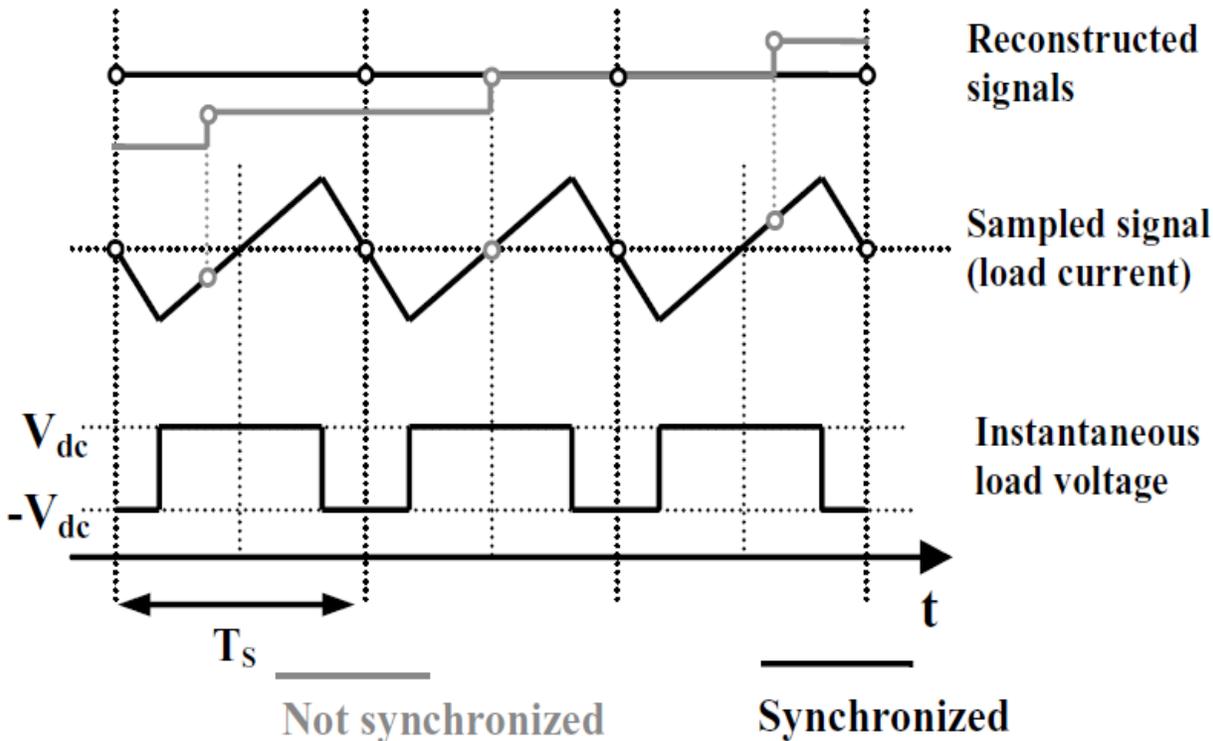
A tener en cuenta: Dado el número efectivo de bits N_e , necesarios para representar el ciclo de trabajo y la frecuencia de reloj f_{clock} , el período de conmutación debe duplicarse para contener ambas etapas de conteo, tanto la ascendente como la descendente.

Muchos microcontroladores y DSP o DSC, tienen disponible el modo de operación de actualización doble por periodo de conmutación. En este modo, se permite la actualización del ciclo de trabajo al comienzo y a la mitad del período de modulación.

Las solicitudes de interrupción son generadas por el temporizador al comienzo y en la mitad del período de modulación.

Aspectos sobre la implementación en Convertidores Electrónicos de Potencia

Sincronización entre el muestreo y el PWM



En un caso típico, la frecuencia de muestreo se establecerá igual a la frecuencia de conmutación o, si esto es consistente con la implementación de PWM digital disponible, dos veces la frecuencia de conmutación. Pero si esto es lo que hacemos, ¡las condiciones del teorema de Shannon siempre serán violadas!

Si los procesos de muestreo y conmutación están adecuadamente sincronizados, el efecto del *aliasing* obtenido, es la reconstrucción automática del valor promedio de la señal muestreada, que es exactamente lo que se desea controlar.

Ejemplo de sincronización del muestreo con el proceso de conmutación del PWM para el control de corriente

Ruidos de cuantificación y de precisión aritmética

La cuantificación de variables y la precisión aritmética finita son dos de los aspectos más críticos del control digital.

El proceso de cuantificación implica la pérdida de parte de la información asociada con la señal original $x(t)$. Es un enfoque común modelar este efecto como un ruido aditivo superpuesto a la señal.

Hay una relación que puede usarse para determinar la máxima relación señal-ruido SNR de un conversor AD en función de su número de bits:

$$\text{SNR} = 10 \times \log_{10} \left(\frac{12}{8} \times 2^n \right) = 6,02 \times n + 1,76 \text{ (dB)}$$

Por ejemplo, si se necesita una SNR menor a 50 dB, el número mínimo de bits del ADC es de 8 bits. O si se necesita una SNR mayor, 100 dB por ejemplo, el mínimo número de bits debe ser mayor a 16.

Ruidos de cuantificación y de precisión aritmética

Existen, al menos, otras dos formas principales de cuantificación que siempre tienen lugar en la implementación de un algoritmo de control digital: (i) cuantificación aritmética y (ii) cuantificación de salida.

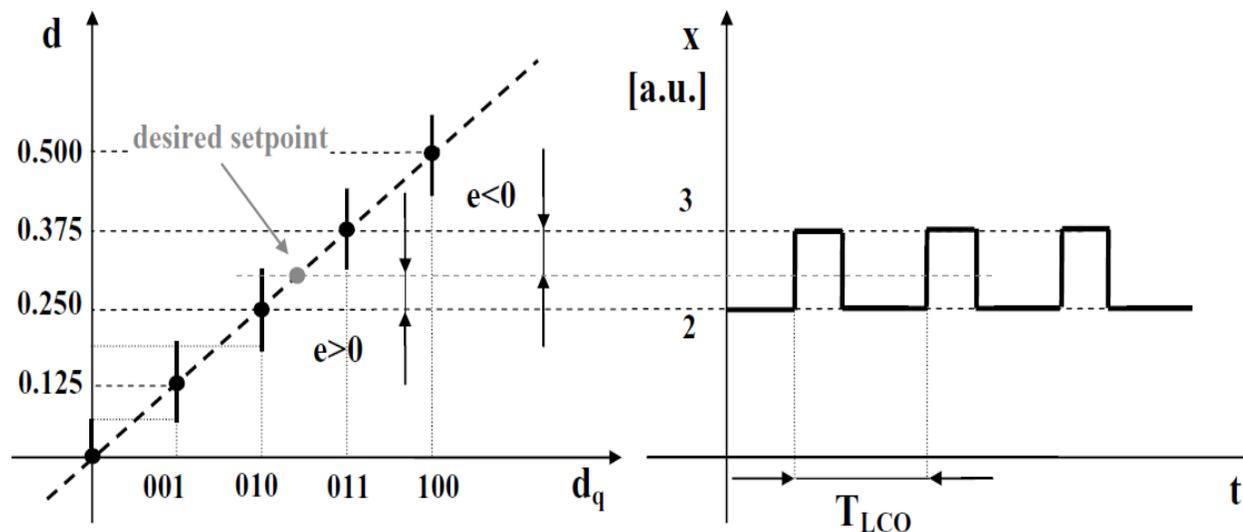
En lo que respecta a la primera, podemos decir que lo que llamamos cuantificación aritmética no es más que un efecto de la precisión finita que caracteriza a la unidad aritmética y lógica utilizada para calcular el algoritmo de control. La precisión finita determina la necesidad de truncamiento (o redondeo) de las representaciones binarias de los coeficientes y variables del controlador.

Además, generalmente existe la necesidad de truncamiento (o redondeo) después de las multiplicaciones. En general, el efecto del truncamiento (o redondeo) del resultado de la multiplicación es una distorsión de la respuesta en frecuencia del controlador, es decir, el desplazamiento de los polos del sistema.

Cuantificación de salida

Está relacionada con la operación de truncamiento (o redondeo) inherente a la **conversión digital a analógica**. En nuestro caso de aplicación, esta función es inherente al proceso del **PWM digital**.

La **reducción del número de bits de la variable de control** (en nuestro caso, el ciclo de trabajo o ciclo útil deseado), para adecuarlo al registro del ciclo de trabajo del modulador PWM, representa nuevamente una fuente de ruido de cuantificación.



El efecto de la cuantificación de salida es lo que se conoce como *Oscilación de Ciclo Límite, LCO*.

Ejemplo de la ocurrencia del ciclo límite en un PWM digital

Bibliografía

-  **Sistemas de Control Digital, 1ed, Benjamín C. Kuo - Compañía Editorial Continental, 2002.**
-  **Sistemas de Control en Tiempo Discreto, 2ed, Katsuhiko Ogata - Prentice Hall, 1996.**
-  **Digital Control System Analysis and Design, Phillips, Charles L.; Tagle, Troy H.; Prentice Hall, Fourth Edition.**
-  **Digital Control in Power Electronics, S. Busso and P. Mattavelli; Morgan & Claypool, First Edition.**