

Acondicionamiento de señal y muestreo

Sea el siguiente convertidor CC-CA reductor para inyectar corriente a la red eléctrica.

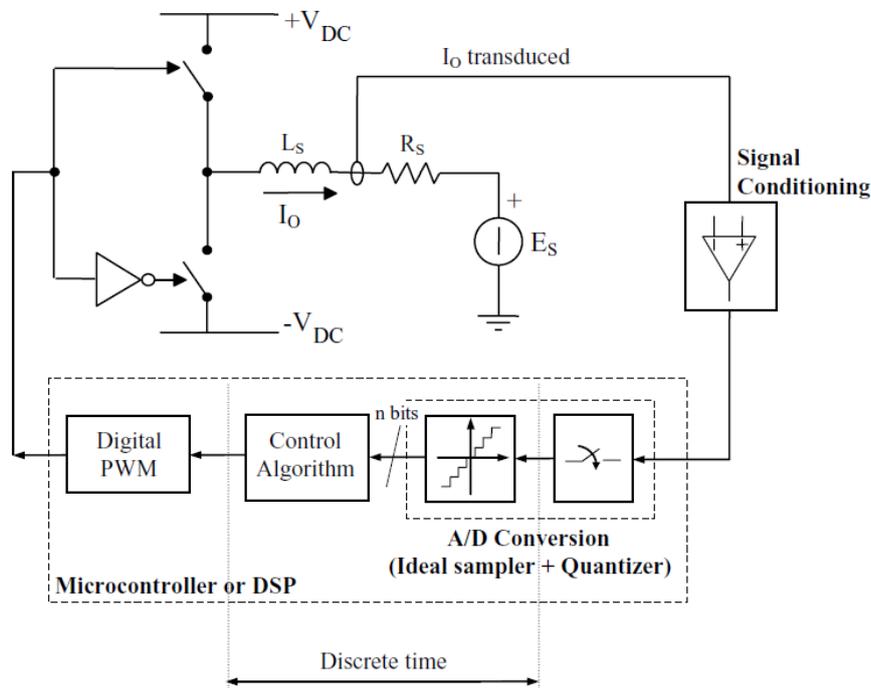


Figura 1. Esquema básico de un control digital de corriente para un convertidor CC-CA [6].

Supóngase que el control de este convertidor se realiza utilizándose un microcontrolador o un DSP, de los cuales se utilizan los periféricos necesarios para la implementación de control que son el conversor AD y el módulo PWM digital. Para la adquisición de la corriente, la cual es la variable a ser controlada y que denominamos genéricamente “ x ”, se tiene un sensor de corriente y un circuito de acondicionamiento de esta señal, para acondicionar la variación de corriente a una variación de tensión, acorde a las características eléctricas del conversor AD.

El circuito de acondicionamiento debe garantizar que: (1) la señal del sensor sea amplificada en el sentido de aprovechar al máximo el rango de tensión de entrada del ADC, y (2), de ser necesario, la señal debe ser filtrada para evitar efectos de solapamientos o *aliasing*.

El total aprovechamiento del rango de tensión de entrada del ADC, es un factor clave para reducir los efectos de cuantificación que pueden desmejorar la estabilidad del control y/o reducir la calidad de la regulación.

La razón de esto es que el número de bits efectivos, N_e , que se utilizan para la representación interna de las muestras de la señal de entrada, es máximo cuando el rango de tensión de entrada está completamente aprovechado.

De hecho, podemos ver que este número de bits efectivos viene dado por la relación dada en (1), donde n representa el número de bits del ADC, FSR representa el rango de fondo de escala, en voltios, del ADC y X_{pp} , es la amplitud pico a pico en voltios de la señal que ingresa al ADC después de ser acondicionada.

$$N_e = n - \text{floor} \left[\frac{\log_{10} \left(\frac{\text{FSR}}{X_{pp}} \right)}{\log_{10}(2)} \right] \quad (1)$$

Una pequeña complicación que normalmente encontramos al diseñar el circuito de acondicionamiento, está relacionada con el signo de la señal de entrada. Es bastante común que la señal de corriente sensada sea bipolar (es decir, que tenga un signo tanto positivo como negativo), mientras que el límite inferior del rango de tensión del ADC es casi siempre cero. Para abordar este inconveniente, el circuito de acondicionamiento tiene que compensar la señal de entrada a la mitad del FSR incorporando una tensión de offset a la señal que proviene del sensor. Esta operación asocia la mitad inferior del rango de ADC con los valores negativos de la señal de entrada y la mitad superior con los valores positivos. Estas simples consideraciones normalmente son suficientes para diseñar adecuadamente la ganancia del amplificador de acondicionamiento en la banda de frecuencia de interés. Dada la amplitud pico a pico esperada de la corriente de salida del VSI y considerando un margen de seguridad adecuado para la detección de condiciones de sobrecorriente (o sobretensión), debido a transitorios de carga o fallas, es posible determinar inmediatamente la ganancia requerida para aprovechar la escala completa del ADC.

Por otro lado, el fenómeno de *aliasing* es una consecuencia de la violación del teorema de Shannon, que define las limitaciones para la reconstrucción exacta de una señal muestreada uniformemente [1]. El teorema muestra que existe un límite superior para el ancho de banda de la señal muestreada, más allá del cual la reconstrucción perfecta, incluso mediante filtros de interpolación ideales, se vuelve imposible y aparecen fenómenos de *aliasing*. La frecuencia límite se llama **frecuencia de Nyquist** y se demuestra que **es igual a la mitad de la frecuencia de muestreo**, f_s . En general, tendremos que limitar el espectro de frecuencia de la señal muestreada mediante el filtrado, para que sea insignificante por encima de la frecuencia de Nyquist. Esta condición determinará el ancho de banda y la caída a cero en el extremo del rango de frecuencia del circuito amplificador de acondicionamiento. En la figura 2 se ofrece una representación gráfica muy intuitiva del fenómeno de *aliasing*. En esta figura, $f_c = f_s$.

Otro tema interesante, relacionado con la adquisición de señales en control digital, es la definición de un modelo ADC adecuado. En la figura 1 podemos ver que el proceso de conversión AD se puede modelar matemáticamente como la conexión en cascada de un muestreador ideal y un cuantificador uniforme de n bits. El primero se define como un muestreador cuya salida es un flujo de pulsos de duración nula, cada uno con una amplitud igual a la de la señal de entrada en el instante de muestreo (modulador de amplitud de pulsos PAM). Su función es modelar el proceso de muestreo real, es decir, la transformación de la variable de tiempo del dominio continuo al dominio discreto, donde el tiempo solo existe como múltiplos enteros de una unidad fundamental, el período de muestreo. Este último se tiene en cuenta para modelar la pérdida de información, implícita en lo que puede interpretarse como un procedimiento de codificación, donde una señal de amplitud continua, es decir, una señal cuyo nivel instantáneo puede variar con continuidad en un rango de valores dado, se transforma en una señal de amplitud discreta, es decir, una señal digital, cuyo nivel instantáneo solo puede asumir un número finito de valores en el mismo rango dado.

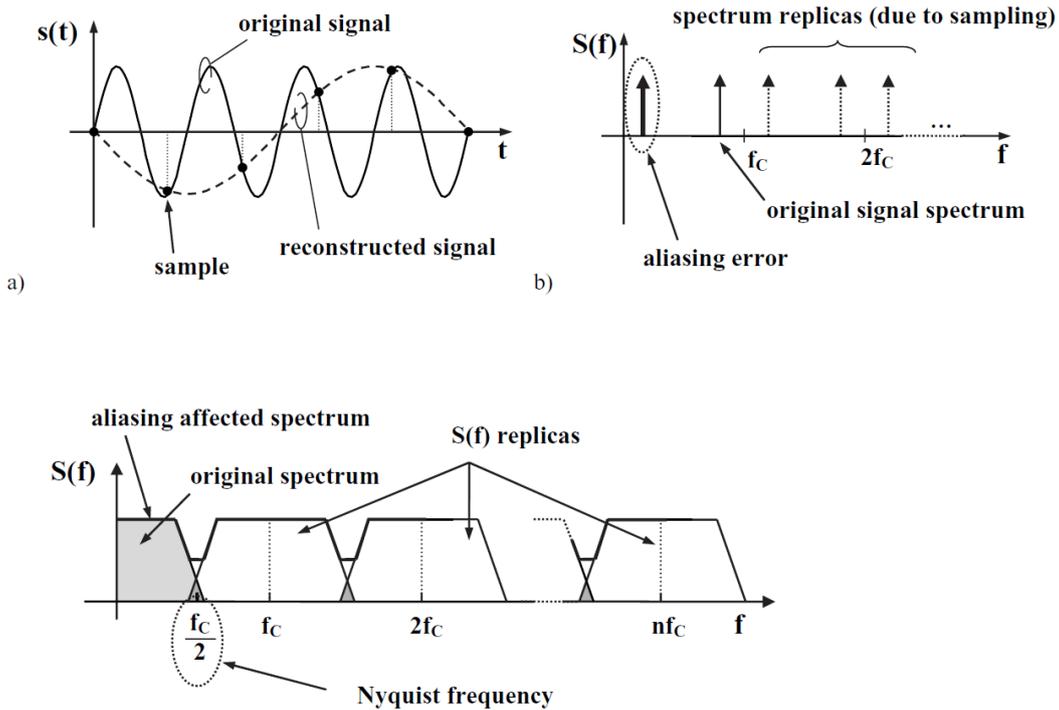


Figura 2. Efecto de *aliasing* en la señal reconstruida debido a la baja frecuencia de muestreo [6].

Debido a que los posibles valores discretos se pueden interpretar como múltiplos enteros de una unidad fundamental denominada paso de cuantificación Q , o, de manera equivalente, el bit menos significativo (LSB), el cuantificador se denomina "uniforme". A veces se pueden encontrar cuantificadores no uniformes, pero muy raramente en el tipo de aplicación que nos interesa. Por esta razón, solo discutiremos el caso del cuantificador uniforme. El diagrama característico típico de un cuantificador uniforme se muestra en la figura 3. Como puede verse, se puede definir un ruido de cuantificación típico " e_q " que se agrega a la señal como resultado de la conversión AD. Esto puede interpretarse como la pérdida inevitable de parte de la información asociada con la señal de entrada, inherente a la conversión AD.

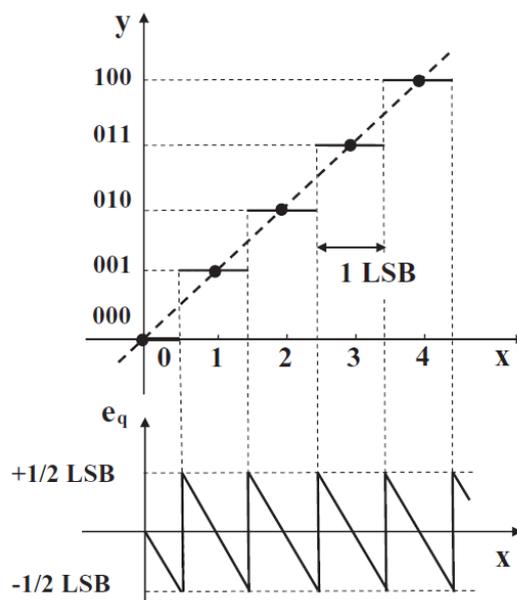


Figura 3. Característica del cuantificador uniforme y error de cuantización.

En lo que respecta al comportamiento dinámico del ADC, debería ser evidente que tanto el cuantificador como el muestreador ideal son funciones esencialmente instantáneas, que no contribuyen a la dinámica del sistema.

La figura 1 revela otro punto interesante sobre la implementación del controlador digital de corriente, que está relacionado con el PWM digital. Este componente procesa la salida del algoritmo de control, una señal de tiempo discreto, y la convierte en una señal de tiempo continuo, determinada por el estado de los interruptores. Esta función, que representa la inversa del proceso de muestreo y permite que el controlador accione el sistema bajo control, se conoce como interpolación. Ahora es evidente que, desde el punto de vista de la teoría del control digital, el DPWM (DPWM – *Digital PWM*) es la parte de nuestro sistema de control donde tiene lugar la interpolación. En realidad, cumple las veces de un retenedor de la acción de control o ciclo de trabajo de tiempo discreto, durante un periodo de conmutación.

Por razones que quedarán claras a continuación, a menudo es importante desarrollar un modelo equivalente en tiempo continuo del controlador, es decir, de todo lo que se incluye entre el muestreador y el interpolador. En otras palabras, a menudo nos interesa una descripción matemática del controlador digital tal como se "ve" desde el punto de vista del mundo externo en tiempo continuo. Este problema se puede resolver considerando lo que se conoce como aproximación por retención de orden cero (ZOH) del proceso de interpolación.

Sin tener en cuenta la presencia del algoritmo de control, podemos describir este modelo simplemente considerando que, para reconstruir la señal de tiempo continuo a partir de las muestras de entrada de tiempo discreto, cada valor de muestra se mantiene constante durante todo el período de muestreo. De hecho, es posible utilizar diferentes modelos de interpolación [2], pero, para los problemas de nuestro interés, este es normalmente un modelo suficientemente bueno.

Sin embargo, es inmediato reconocer en esta función un efecto dinámico típico: cada vez que el interpolador muestrea una señal y la convierte nuevamente en una señal de tiempo continuo, que ahora hemos modelado como un simple retenedor, no podemos reconstruir exactamente la señal original, pero tenemos que tener en cuenta un efecto de retraso que es directamente proporcional al período de muestreo. Este es un efecto que afecta la fase del sistema en lazo cerrado en tiempo discreto.

Sincronización entre el muestreo y el PWM

Las consideraciones generales presentadas en la sección anterior deben ampliarse considerando la naturaleza particular del sistema que queremos controlar. El modulador PWM, al actuar sobre la planta, determina la presencia, en cada variable eléctrica, de la respectiva ondulación. Es fundamental aclarar cómo se maneja esto en el proceso de muestreo.

Es evidente que, para no violar el teorema de Shannon, el proceso de muestreo debería realizarse a una frecuencia muy alta, tan alta que el espectro de la señal muestreada podría considerarse insignificante en la frecuencia de Nyquist, incluso si se observa una ondulación significativa. Esto requeriría una frecuencia de muestreo al menos un orden de magnitud mayor que la frecuencia de conmutación. Desafortunadamente, las limitaciones del hardware no permiten que la frecuencia de muestreo sea demasiado alta: debemos tener en cuenta que la implementación de nuestro controlador se basará en un microcontrolador o DSP estándar.

En un caso típico, dado que la actualización del ciclo de trabajo se permite como máximo dos veces por período de modulación, en el modo de operación de actualización doble del PWM digital, la frecuencia de muestreo no puede ser superior al doble de la frecuencia de

conmutación. Para impulsar el ancho de banda del convertidor en lazo cerrado lo más alto posible, normalmente no estamos interesados en muestrear frecuencias inferiores al máximo permitido, al menos para el controlador de corriente. En el caso de un controlador de corriente, la frecuencia de muestreo debe maximizarse. La razón de esto es bastante obvia: al hacerlo, se puede minimizar el retardo inherente de muestreo y retención y, en consecuencia, se puede maximizar el ancho de banda de la planta a lazo cerrado.

En conclusión, en un caso típico, la frecuencia de muestreo se establecerá igual a la frecuencia de conmutación o, si esto es consistente con la implementación de PWM digital disponible, dos veces la frecuencia de conmutación. Pero si esto es lo que hacemos, ¡las condiciones del teorema de Shannon siempre serán violadas!

Este es uno de los problemas clave en las aplicaciones de control digital para convertidores electrónicos de potencia: la alta relación normalmente recomendada entre la frecuencia de muestreo y el ancho de banda de la señal muestreada nunca será posible. No obstante, en breve veremos cómo esto suele ser ventajoso, en lugar de perjudicial, para la eficacia del controlador. La razón de esto radica en la sincronización.

Si los procesos de muestreo y conmutación están adecuadamente sincronizados, el efecto del *aliasing* es la reconstrucción automática del valor promedio de la señal muestreada, que es exactamente lo que debe controlarse. Esto significa que la violación de las condiciones del teorema de Shannon no limita realmente el desempeño del controlador, incluso ayuda a reducir la complejidad del controlador.

De hecho, se elimina la necesidad de filtros pasa bajo para eliminar la ondulación de la señal muestreada. Este efecto se muestra esquemáticamente en la figura 4. Podemos ver que la sincronización permite la reconstrucción del valor medio de la señal cada vez que el muestreo tiene lugar en la mitad del período de encendido o en la mitad del período de apagado (o ambos, si el dispositivo hace posible el modo de actualización doble).

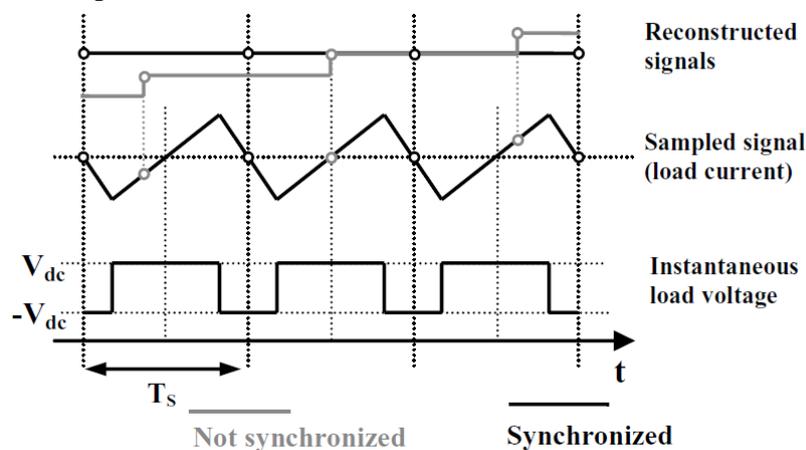


Figura 4. Ejemplo de sincronización del muestreo con el proceso de conmutación del PWM.

En cambio, si las frecuencias de conmutación y de muestreo son diferentes, se crearán componentes con alias de baja frecuencia en la señal reconstruida. Tenga en cuenta que, incluso si las frecuencias de muestreo y de conmutación son iguales, puede producirse el mismo problema en la reconstrucción de la señal muestreada promedio, en caso de que los instantes de muestreo no coincidan con el comienzo y/o la mitad del período de conmutación. Este es generalmente un problema menor, ya que el control de corriente, a menudo será comandado por un lazo externo, que, por lo general, incluye una acción integral, el cual compensará cualquier error de estado estable (o de muy baja frecuencia) en la trayectoria de la corriente.

Para minimizar los efectos de *aliasing* y los errores de reconstrucción, prácticamente todos los microcontroladores y DSP diseñados para el control de convertidores de potencia permiten una sincronización prácticamente perfecta de los procesos de muestreo y conmutación. En la mayoría de los casos, el hardware del procesador sincroniza el funcionamiento del ADC con el modulador. Normalmente, la conversión analógica a digital de las variables de control se inicia mediante una señal que también marca el inicio del período de modulación y puede reactivarse a la mitad del período de modulación, si es necesario.

Ruidos de cuantización y de precisión aritmética

La cuantificación de variables y la precisión aritmética finita son dos de los aspectos más críticos del control digital. El lector interesado puede profundizar su conocimiento de ambos temas refiriéndose a las siguientes referencias [1–5].

La cuantificación tiene lugar cada vez que los valores de amplitud de una señal muestreada se codifican utilizando un conjunto finito de símbolos. Si bien la amplitud instantánea de la señal original puede asumir un número infinito de valores en un rango dado, la amplitud de la señal muestreada y codificada solo puede tomar uno de un número finito de valores posibles. La implementación típica de conversión AD en microcontroladores y DSP, asocia un código binario con los valores de amplitud de la señal muestreada. En el caso del cuantificador uniforme, la regla para asociar un código binario N con cualquier muestra de señal dada x es muy simple y se puede expresar matemáticamente como:

$$\left(N - \frac{1}{2}\right)Q < x < \left(N + \frac{1}{2}\right)Q \Rightarrow x_q = N$$

$$Q = \frac{\text{FSR}}{2^n} = \text{LSB}$$
(2)

Entonces Q es el paso de cuantificación del ADC, igual a un bit menos significativo (LSB). Téngase en cuenta que la (2) simplemente traduce la característica del cuantificador uniforme que se vio en el gráfico anterior, a una forma matemática. De (2) vemos que Q representa la variación mínima de la señal de entrada x que siempre causa la variación de al menos un bit en el código binario asociado con x_q , la señal codificada. Por lo tanto, cualquier variación de la señal x menor que Q no siempre puede determinar algún efecto sobre x_q . Esta simple observación nos muestra que el proceso de cuantificación en realidad implica la pérdida de parte de la información asociada con la señal original x . Es un enfoque común modelar este efecto como un ruido aditivo, superpuesto a la señal.

Hay una relación que puede usarse para determinar la máxima relación señal-ruido SNR de un conversor AD en función de su número de bits

$$\text{SNR} = 10 \times \log_{10} \left(\frac{12}{8} \times 2^n \right) = 6,02 \times n + 1,76 \text{ (dB)}$$
(3)

Por ejemplo, si se necesita una SNR menor a 50 dB, el número mínimo de bits del ADC es de 8 bits. O si se necesita una SNR mayor, 100 dB por ejemplo, el mínimo número de bits debe ser mayor a 16. Téngase en cuenta que esta expresión no tiene en cuenta otras fuentes de ruido tales como las que provienen del circuito de acondicionamiento o del actuador del proceso.

Existen, al menos, otras dos formas principales de cuantificación que siempre tienen lugar en la implementación de un algoritmo de control digital: (i) cuantificación aritmética y (ii) cuantificación de salida. En lo que respecta a la primera, podemos decir que lo que llamamos cuantificación aritmética no es más que un efecto de la precisión finita que caracteriza a la unidad aritmética y lógica utilizada para calcular el algoritmo de control. La precisión finita determina la necesidad de truncamiento (o redondeo) de las representaciones binarias de los coeficientes del controlador, para ajustarlas al número de bits disponibles para el programador para variables y constantes. Además, puede determinar la necesidad de truncamiento (o redondeo) después de las multiplicaciones o divisiones. En general, el efecto del truncamiento (o redondeo) del resultado de la multiplicación es una distorsión de la respuesta de frecuencia del controlador, es decir, el desplazamiento de los polos del sistema, que puede tener algún impacto en el desempeño que se desea obtener, tanto de régimen transitorio o estacionario.

Tanto los efectos de truncamiento como los de redondeo se pueden modelar nuevamente como un tipo de cuantificación y, por lo tanto, como un ruido equivalente, de naturaleza aritmética, agregado a la señal. Aunque es extremadamente interesante, predecir la amplificación del ruido aritmético dentro de un algoritmo de control de lazo cerrado mediante cálculos, en realidad es un trabajo realmente difícil. Para comprobar el funcionamiento del algoritmo de control a este nivel de detalle, la única opción viable es su simulación completa de bajo nivel, basada en un modelo que incluye la emulación de la unidad aritmética del controlador digital adoptado.

Debería estar claro ahora que, en caso de que se empleara una representación de punto flotante de constantes y variables dentro de un algoritmo de control, no se podría observar ninguno de los efectos de cuantificación aritmética discutidos anteriormente. Es importante decir que la disponibilidad de los procesadores de punto flotante en el campo de las aplicaciones industriales de control digital, hoy día es cada vez más común, no obstante, la decisión por un procesador de punto flotante y el costo asociado está directamente relacionado a la complejidad y costos del proceso a controlar. Así mismo, las unidades DSC con procesador aritmético de punto flotante bajan de precio y comienzan a ser accesibles para muchas aplicaciones.

Igualmente, hay muchas aplicaciones industriales o comerciales simples, que pueden implementarse fácil y económicamente en procesadores de 8 y 16 bits, por ejemplo, por lo que los diseñadores de sistemas de control deben afrontar los problemas que generan las unidades aritméticas de punto fijo. Afortunadamente, también hay una gran disponibilidad hoy día, de microcontroladores y DSP o DSC de 16 o incluso 32 bits de bajo costo. La ocurrencia de problemas severos de cuantificación aritmética es, por lo tanto, cada vez más rara, y se limita a aplicaciones extremadamente exigentes o aplicaciones donde el uso de microcontroladores de 8 bits es la única opción viable y la emulación de aritmética de mayor precisión está fuera de discusión por limitaciones de memoria o tiempo. Como se mencionó anteriormente, los problemas que pueda ocasionar el ruido proveniente de la cuantificación aritmética, pueden predecirse mediante simulación, y, en función de estos resultados, evaluar cuanto debe mejorarse la resolución de la representación de constantes y variables mediante el uso de mayor espacio en memoria para disponer de un tamaño de palabra ficticio mayor.

La **cuantificación de la salida**, en cambio, está relacionada con la operación de truncamiento (o redondeo) inherente a la conversión digital a analógica que devuelve la variable de salida del algoritmo de control del dominio digital al de tiempo continuo. En nuestro caso de aplicación, esta función es inherente al proceso del PWM digital. La reducción del número de bits de salida de la variable de control (en nuestro caso, el ciclo de trabajo o ciclo útil deseado), necesario para escribirlo en el registro de ciclo de trabajo PWM, representa nuevamente una fuente de ruido de cuantificación. Tenga en cuenta que, a menos que se disponga de una relación de frecuencia de reloj/modulación muy alta, el número efectivo de bits que podrían usarse para representar el ciclo de trabajo es siempre mucho menor que el número de bits típico de la variable (16 o 32). Por lo tanto, la cuantificación de la salida es inevitable. El efecto más desagradable de la cuantificación de salida puede ser la aparición de un tipo particular de inestabilidad, específico de los lazos de control digital, que se conoce como oscilación de ciclo límite (LCO – *Limit Cycle Oscillation*).

Para abrir solo una breve discusión sobre los LCO, nos gustaría mostrar, en primer lugar, cómo se puede generar un ciclo límite en una situación muy simple. El caso se muestra en la figura 5.

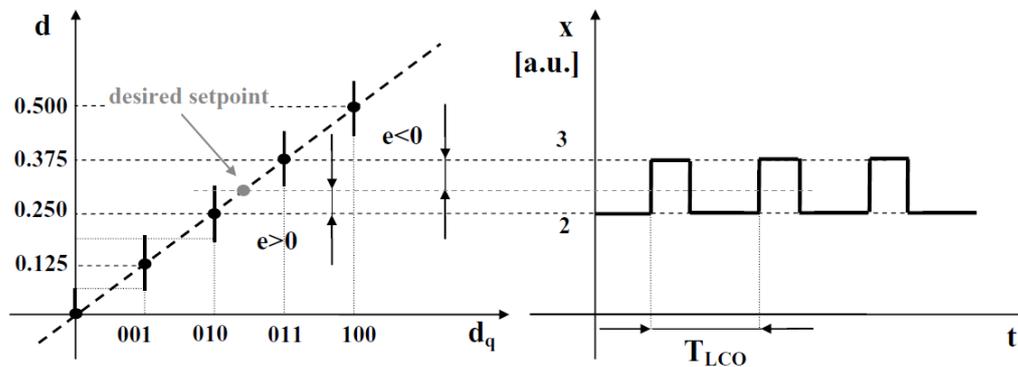


Figura 5. Ejemplo de la ocurrencia del ciclo límite en un PWM digital.

Denotamos por variable d , al ciclo de trabajo de un convertidor de conmutación, como el considerado en nuestra discusión, cuyo punto de ajuste deseado es el valor particular que necesitamos aplicar para llevar el convertidor al estado estable. La variable x puede estar asociada, por ejemplo, con la corriente de salida media del convertidor. Desafortunadamente, como vemos en la figura 5, el punto de ajuste deseado para d no es ninguna de las posibles salidas, debido a la cuantificación de la acción de control. Como resultado, aplicaremos, en cualquier caso, un ciclo de trabajo mayor de lo necesario, lo que provocará un aumento de corriente más allá del nivel de estado estable (o del punto de operación) o un ciclo de trabajo inferior al necesario, lo que provocará que la corriente disminuya por debajo del valor de estado estable. Esto sucede porque la corriente de salida del convertidor es, en una primera aproximación, proporcional a la integral de la tensión de salida media del convertidor, que a su vez es proporcional al ciclo de trabajo. Las conmutaciones entre los dos estados están determinadas por el controlador de corriente, que reacciona a la acumulación de error actual cambiando el ciclo de trabajo.

Esto da como resultado una oscilación persistente, es decir, un ciclo límite, de las variables de control, que no se debe a ninguna inestabilidad del sistema, sino solo a la presencia de la cuantificación de salida. Por supuesto, la amplitud y la frecuencia del ciclo límite

dependen en gran medida de los parámetros del controlador y del convertidor como, por ejemplo, el ancho de banda del controlador, las constantes de tiempo y la ganancia estática del sistema en lazo abierto. Téngase en cuenta que en los casos de un convertidor reductor medio puente como el que aquí se considera, donde la función de transferencia entrada-salida del convertidor presenta un comportamiento con características pasa bajo, bien aproximado por una acción integral, este tipo de ciclo límite es prácticamente inevitable.

Dentro de la teoría general de control digital, los ciclos límite han sido ampliamente estudiados, con diferentes grados de detalle y complejidad. En electrónica de potencia y, más precisamente, en el área de aplicaciones de convertidores dc-dc, se han publicado varios artículos fundamentales sobre resolución de cuantificación y ciclos límite, como, por ejemplo, [4, 5] y otros citados en el mismo.

La presencia real y la amplitud de los LCO se verifican generalmente mediante simulaciones en el dominio del tiempo. Esta puede ser una investigación que lleve mucho tiempo, ya que la presencia de LCO depende en gran medida del punto de funcionamiento del convertidor, por ejemplo, de los niveles de corriente de carga y voltaje de entrada. En algunos casos, el sistema no muestra los LCOs, excepto por un conjunto muy pequeño de valores de corriente de salida. Además, un ciclo límite a veces puede ser activado solo por algunos transitorios particulares, que tienen una amplitud muy particular. Por tanto, no es tan fácil garantizar la eliminación real de los LCOs.

Referencias

- [1] - A. V. Oppenheim, R. W. Schaffer and J. R. Buck, *Discrete Time Signal Processing*, 2nd edition. Englewood Cliffs, NJ: Prentice-Hall, 1999.
- [2] - K. Ogata, *Discrete Time Control Systems*, Englewood Cliffs, NJ: Prentice-Hall, 1987.
- [3] - K. J. Astrom and B. Wittenmark, *Computer-Controlled Systems: Theory and Design*, 3rd edition. Englewood Cliffs, NJ: Prentice-Hall, 1997.
- [4] - A. V. Peterchev and S. R. Sanders, "Quantization resolution and limit cycling in digitally controlled PWM converters," *IEEE Trans. Power Electron.*, Vol. 18, No. 1, pp. 301–308, Jan. 2003. doi.org/10.1109/TPEL.2002.807092
- [5] - H. Peng, D. Maksimovic, A. Prodic and E. Alarcon, "Modeling of quantization effects in digitally controlled dc–dc converters," *IEEE PESC'04*, Aachen, Germany, 2004.
- [6] - S. Busso and P. Mattavelli, "Digital Control in Power Electronics", First Edition.