

CONFIGURACIÓN DEL BIOS

En primer lugar, me gustaría avisar que, a pesar del miedo que en general se le tiene a 'toquetear' la BIOS, puesto que se trata de una memoria PROM (Programmable Read Only Access, o Acceso de Solo Lectura Programable), los cambios que se pueden efectuar en ella son solo unos pocos, aunque, eso sí, tremendamente potentes a la hora de variar el funcionamiento del PC.

Por su propia naturaleza PROM, la BIOS no puede estropearse por una mala configuración... Aunque lo que sí puede suceder es que una mala configuración haga que el PC deje de funcionar. Sin embargo, todos los cambios en la BIOS son reversibles.

Por ello, recomiendo que, *antes de efectuar ningún cambio en la BIOS de nuestro PC*, escribamos en un papel cuáles eran los valores originales de la entrada que vamos a alterar, de forma que, si un cambio efectuado en ella resulta negativo para nuestro PC, podamos volver a dejarlo como al principio.

Una vez aclarado este extremo, pasemos a tratar la BIOS:

¿Qué es la BIOS?

BIOS significa Basic Input/output System, o lo que es lo mismo, Sistema Básico de Entrada y Salida... Con solo este dato, la mayoría de los usuarios se quedarán tal y como estaban, sino un poco más confusos.

Aclarando conceptos, se trata de un programa especial, que se pone en marcha al encenderse el PC, comprueba que todos los periféricos funcionan correctamente, verifica el tipo y el funcionamiento del disco duro, de la memoria, etc., busca nuevo hardware instalado, etc.

La BIOS no se carga como si de un sistema operativo se tratase, sino que viene ya incorporada a la placa base en un chip de memoria PROM. Actualmente, la mayoría de las BIOS pueden ser actualizadas por software, pero no pueden cambiarse. Para ello sería necesario cambiar físicamente el chip de la placa base o, más seguramente, la placa base por completo.

Existen muchos fabricantes de BIOS, pero el mercado está dominado prácticamente por Award, AMI y Phoenix, y lo más seguro es que nuestro PC tenga una BIOS de uno de estos fabricantes.

No todas las BIOS disponen de todas las opciones que se citan aquí. Las más antiguas carecen de muchas de ellas, mientras que otras, incluso modernas, están preparadas para trabajar de otro modo y no contemplan ciertas opciones.

Por lo demás, muchas BIOS están en inglés. Se supone que solo deben ser programadas por el servicio técnico, lo cual es bastante frecuente, y se supone que el servicio técnico entiende el inglés... lo cual es menos frecuente.

Entrando en la BIOS

La BIOS actúa durante un breve período de tiempo tras encender el ordenador: solamente durante los primeros segundos en que la pantalla primaria nos muestra los discos duros y cd-rom que tenemos montados en el sistema. Después, cede el control del PC al sistema operativo.

Para acceder a la BIOS, debemos de aprovechar esos instantes en que está activa. Por lo general, durante ese tiempo aparece un mensaje en la parte inferior de la pantalla que pone algo como '**Press DEL to enter setup**', de forma que podremos acceder a esta BIOS pulsando <Supr,>, aunque a otras BIOS se accede con <Alt.>+<F1>, o con otras combinaciones de teclas. Si intentamos entrar en la BIOS cuando ya no está activa, no lo conseguiremos, así que tendremos que reiniciar el PC e intentarlo de nuevo.

En la BIOS

En primer lugar, veamos qué teclas vamos a usar para movernos por la BIOS:

- Para ir arriba, abajo o a los lados, tendremos que utilizar los cursores del teclado (las flechitas... :-)))
- Para entrar a un menú, utilizaremos la tecla <intro>
- Para salir de un menú, usaremos la tecla <Esc.>
- Para ver qué valores pueden utilizarse en un menú determinado, utilizaremos <F1>
- Para cambiar un valor se utiliza <Av.Pág.> o <Re.Pág.>

El Menú principal de la BIOS

Una vez en la BIOS, nos encontraremos con una pantalla de menú, en la que, bajo una forma u otra, según el fabricante de la BIOS en cuestión, se nos muestran distintas opciones, aunque pueden variar de un fabricante a otro:

Basic CMOS setup, Advanced Chipset setup, Integrated Peripherals, etc.

Si, por medio del cursor, no situamos sobre una de estas opciones y pulsamos <intro>, accederemos al menú correspondiente a dicha opción.

Una vez en este menú, buscamos la opción que queremos cambiar, la modificamos utilizando <Av. Pág.> y salimos del menú pulsando <Esc.>, para volver al Menú principal.

Para salir de la BIOS hay dos opciones: si pulsamos <Esc>, nos aparecerá una ventana de diálogo que nos dirá algo parecido a '**Quit without saving? y/n**'. Si pulsamos <Y>, saldremos de la BIOS, pero los cambios que hayamos efectuado no se guardarán, de forma que no habremos hecho nada. Si pulsamos <N>, volveremos al menú principal.

La segunda opción suele ser una entrada en el menú principal con un título parecido a '**Save to Cmos & Exit**'. Si la pulsamos, nos aparecerá un mensaje parecido a '**Save to setup? y/n**'. Si pulsamos <Y>, los cambios que hayamos hecho se almacenarán en la BIOS y el PC se reiniciará, utilizando los valores que hayamos modificado. Si pulsamos <N>, el PC se reiniciará, pero sin guardar ninguno de los cambios que hayamos hecho, por lo que la BIOS seguirá tal y como estaba antes de entrar nosotros a ella.

Configurar la BIOS para un arranque más rápido

- Al arrancar el PC, la BIOS ejecuta inmediatamente una serie de test, muy rápidos, sobre el funcionamiento de los componentes del sistema. Estos test consumen una parte del tiempo de arranque del PC, de forma que se pueden deshabilitar en la BIOS, aunque conviene ejecutarlos de vez en cuando.
- Para deshabilitar estos test iniciales, buscaremos en nuestra BIOS una entrada con un título del tipo '**Quick Boot**', '**Quick POST**' o '**Quick Power on SelfTest**' y, de entre las opciones permitidas, seleccionaremos '**Enable**'.
- Otra de las acciones de la BIOS en el arranque es un retraso voluntario del sistema, para permitir que el disco duro alcance una velocidad óptima antes de comenzar a ejecutar el sistema operativo. Salvo que nuestro PC tenga discos duros muy viejos o muy lentos, también se puede eliminar este retraso, ya que los discos duros alcanzan esas velocidades sin necesidad del retraso proporcionado por la BIOS.
- Para deshabilitar este retraso, buscaremos en nuestra BIOS una opción con un nombre parecido a '**Boot Delay**' o '**Power-On Delay**', y modificaremos su valor a '**Enabled**'.
- Por último, como todos sabemos, los PC están configurados para intentar un arranque desde disquete antes del arranque desde el disco duro. Su utilidad es importante, ya que nos permite utilizar un disco de inicio si nuestro sistema se ha quedado 'colgado' y no responde a los intentos de arranque desde el disco duro, pero lo cierto es que podemos desactivar esta opción, pidiendo al ordenador que solo arranque desde el disco duro, ya que, en caso de problemas, siempre podremos entrar en la BIOS y restaurar el arranque desde disquete (si ni siquiera pudiésemos arrancar la BIOS, el problema sería demasiado grave, así que daría igual que el arranque desde disquete estuviese activado).
- Para desactivar esta opción, buscamos una entrada del tipo '**Floppy Disk Seek**' y la configuramos como '**Disabled**'

Optimizando el disco duro

Algunos discos duros permiten una configuración en el modo en que van a ser tratados por el sistema. La mayor parte de la información necesaria sobre ellos la encontraremos en el manual que **deberían** habernos dado con el PC, pero que la mayoría de los almacenes y montadores de PCs **olvidan**. Sabed que no solo tenéis derecho a exigir que se os entregue documentación sobre todas y cada una de las piezas que componen vuestro nuevo PC, sino que ese es el único respaldo que tendréis si algún día le tenéis que pedir explicaciones al vendedor sobre los motivos de que, habiendo pagado un disco duro 'Quantum Fireball' de 8,5 GB, resulta que lo que hay en la máquina es un 'Nisu' de 4 GB.

Puede pareceros gracioso, pero desgraciadamente es una práctica cada vez más habitual entregar piezas de condiciones inferiores a las presupuestadas, sabiendo de antemano que, con la cobertura de la garantía durante 3 años, es muy difícil que ese ordenador sea visto por nadie más que por ellos mismos antes de que se estropee definitivamente o sea sustituido por otro.

En fin, volviendo a lo nuestro:

- A la hora de transmitir los datos del disco duro a la pantalla o a un programa, éstos deben ser previamente almacenados en la memoria. La BIOS define el modo en que se realiza esta operación, y algunas de ellas pueden ser configuradas para hacerlo algo mejor.
- Buscar una entrada con el nombre '**IDE HDD Block Mode**' o '**Hard Disk Block Mode**' y configurar el valor '**Auto**', '**Enabled**' o, si lo permite, un número de bloques '**32**', '**16**'... Por norma general, si se trata de un número, probad con el inmediatamente superior al que había, y comprobad si el disco duro funciona mejor o no. Si ha mejorado, podéis intentarlo con el siguiente valor.
- Otra de las posibilidades de algunas BIOS es la de activar la transferencia de datos de disco duro a 32 bits.
- Para activar esta opción buscamos la entrada '**32 Bit Hard Disk Transfer**' y le damos el valor '**Enabled**'
- Otro sistema de optimización del disco duro consiste en regular el modo en que nuestro sistema accede al disco duro. Los sistemas actuales pueden hacerlo en dos formas: en modo DMA o en modo Programmed I/O o PIO.
- Este modo se activa de forma automática cuando la BIOS detecta un disco duro, por lo que es raro que haya que cambiarlo. Aún así, si tenemos el manual del disco duro y en él se ve un valor diferente al que tiene en la BIOS, conviene sustituirlo en la entrada '**IDE PIO Modes**' por el valor correspondiente.

Mejoras generales

Nuestro PC está formado por un buen número de componentes, y la mayoría de ellos pueden -y deben- ser configurados de la forma correcta para obtener un buen rendimiento.

- La caché interna o primaria, de nivel 1 o L1 es una pequeña memoria que acelera el intercambio de información. Siempre debe estar activada, ya que su efecto puede ser de hasta un 15% del rendimiento total del PC.
- Para activarla, buscaremos la entrada '**Internal Cache**' o '**Primary Cache**' y situaremos su valor en '**Enabled**'
- Excepto en los procesadores 'Celeron', que carecen de ella, la memoria caché secundaria cumple funciones similares a las de la caché primaria, y su rendimiento es aún más espectacular: hasta un 40% de la velocidad del PC varía según esté activada o desactivada.
- Para activarla, buscaremos las entradas '**External Cache**' o '**Secondary Cache**' y situaremos el valor en '**Enabled**'.
- Otras opciones que podemos mejorar desde la BIOS son las referidas al teclado: buscamos '**Fast A20 Gating**' y '**Turbo Frequency**', y las marcamos las dos como '**Enabled**'.
- Las rutinas de control del ordenador, almacenadas en una memoria ROM, resultan lentas, ya que la ROM es, comparativamente, mucho más lenta que la RAM.
- Buscamos '**Video BIOS shadowing**' o '**Video BIOS Shadow**' y lo configuramos como '**Enabled**'. Esto crea una copia de la ROM en la RAM -no es un juego de palabras-, de forma que accedemos a ella mucho más rápidamente, aunque nos cuesta unos 300 k. de memoria.
- Además de copiar BIOS en la RAM, conviene que esta copia se optimice lo máximo posible.
- Para ello, buscamos la entrada '**System BIOS Shadow Caching**' o '**System BIOS Cacheable**' y la configuramos como '**Enabled**'.
- Otra memoria que resulta normalmente más lenta que la RAM es la que se relaciona con la gestión de la tarjeta gráfica
- Buscamos todas las entradas del tipo '**Video Shadowing**' y las marcamos como '**Enabled**'. El único caso en que no debemos activar esta opción es cuando nuestra tarjeta gráfica dispone de una Flash-BIOS, ya que ésta es más rápida aún que la RAM, y estaríamos restándole velocidad en lugar de aumentársela.
- El Bus AGP permite que la tarjeta gráfica utilice parte de la memoria RAM del sistema como memoria gráfica, pero conviene configurar cuánta memoria le vamos a permitir usar. Si le dejásemos tomar toda la memoria del sistema,

llegado el momento tendríamos una aplicación -un juego, por ejemplo- con unos gráficos magníficos, pero 'colgado' por falta de memoria. Si le damos muy poca memoria, tendremos malos gráficos y un desarrollo del juego regular, ya que éste se ralentizará para permitir la ejecución de sus gráficos.

- Buscamos la entrada '**AGP Aperture Size**' y le damos un valor aproximado a la mitad de la memoria del sistema. Lo correcto sería probar con el 25%, el 50% y el 75% de la memoria de que dispongamos, con un porcentaje mayor cuanto más memoria tengamos.
- Algunas placas base -las más antiguas- no son capaces de utilizar la memoria caché más allá de los 64 Mb. de memoria. Si tenemos más de esta cantidad instalada, debemos corregir este problema.
- Buscamos la entrada '**Cacheable DRAM Size**' o '**Cache Over 64 MB of RAM**' y la configuramos como '**Enabled**'.
- Según el procesador que estemos utilizando, la memoria posee un determinado tiempo de acceso, que se mide en nanosegundos. A valores más pequeños de tiempo de acceso, mayor velocidad. La limitación, por supuesto, es la física de la memoria. No puedes hacer que una memoria de 60 ns. funcione a 50 ns.
- El valor se almacena en '**Timing**' o '**DRAM Speed**', suele variar entre '**50**' y '**60**', aunque próximamente aparecerán valores más bajos.
- La memoria utiliza unas divisiones especiales para la información procesada, que se denominan '**dwords**'. Al igual que el caso anterior, es una característica física de la memoria, por lo que debe fijarse lo más baja posible, aunque, si la configuración es incorrecta, el PC se 'colgará'.
- La entrada correspondiente se encuentra en '**DRAM Read Timing**', y el valor, como ya se ha dicho, debe ser el más bajo que permita el tipo de memoria que haya instalada en el sistema.
- Un error bastante frecuente en la configuración de las BIOS es una incorrecta apreciación del puerto paralelo. Antiguamente, puesto que funcionaba con una transmisión de datos en una única dirección (PC -> Impresora), se utilizaba el modo SPP. Es muy lento, y suele venir configurado por defecto en la mayoría de las BIOS. Actualmente, con la aparición de nuevos periféricos, como scanners, discos duros, i-omegas, etc., con conexión al puerto paralelo, suele utilizarse el método EPP, que es más rápido y que permite la transmisión de datos en ambas direcciones. Incluso existe un método más rápido, llamado ECP, pero que suele dar conflictos con algunos periféricos, por lo que no conviene activarlo, salvo que sea imprescindible.
- Buscamos la entrada '**Parallel Port Mode**' y la configuramos -salvo que tengamos buenos motivos para elegir otra opción- en '**EPP**'.

Aunque hay una infinidad de fabricantes de BIOS, lo cierto es que podemos ceñirnos a tres casos, que son las que la mayoría de nosotros encontraremos montadas en nuestras placas base: Award, AMI y Phoenix.

La mayoría de estas BIOS tienen las entradas estructuradas en la misma forma:

- **Standard CMOS**
- **BIOS Features**
- **Chipset Features**
- **Power Management**
- **PNP/PCI Configuration**
- **Integrated Peripherals**

Lo que sí puede variar, y de hecho, varía bastante, son los valores que se agrupan dentro de cada una de estas divisiones, tanto en función del fabricante de la BIOS en cuestión, como por el modelo y la actualización a que correspondan. Como os podéis imaginar, la BIOS de un antiguo 386 no tendrá entradas para configurar el BUS AGP, por ejemplo.

Además, hay ciertas diferencias en el modo en que cada fabricante denomina a una entrada, por lo que incluiré, en ciertos casos, varios nombres diferentes, según las denominan los fabricantes.

Números A B C D E F G H I J K L M N Ñ O P Q R S T U V W X Y Z

Valores numéricos	
16 Bit I/O Recovery Time	Ver más abajo 8/16 Bit I/O Recovery Time.
16 Bit ISA I/O Command WS	En equipos que tiene una velocidad mayor que la de sus dispositivos de entrada y salida (I/O). Si no se indica al sistema un tiempo de espera, para que cada dispositivo tenga oportunidad de responder, creará que el dispositivo en cuestión ha fallado y no funciona, así que desconectará su petición de entrada/salida. Si todos los dispositivos son modernos y rápidos (que es lo normal en PCs nuevos), hay que fijar el valor en ' Disabled ', para aumentar la velocidad de transferencia. Si hay dispositivos antiguos, desconectándolo se perderían datos
16 Bit ISA Mem Command WS	Al acceder a la memoria por el bus ISA, el sistema debe frenarse por culpa del bus, que es más lento que el bus de memoria. Este valor permite adecuar la velocidad de la memoria de dispositivos del bus ISA con la capacidad de lectura y escritura del sistema a esa memoria.
1st/2nd Fast DMA Channel	Permite seleccionar hasta dos canales DMA (acceso directo a memoria) para el tipo F, si es soportado por el dispositivo de entrada/salida de datos que utiliza el canal DMA.
1st/2nd/3rd/4th Available IRQ	Si un dispositivo PCI requiere un servicio de interrupción (IRQ), permite seleccionar manualmente una interrupción sin utilizar para las IRQ de los PCI. 'NA' (No Aplicable) indica que la IRQ se asigna a un dispositivo de bus ISA y no está disponible para ningún slot (ranura) PCI.
* 2nd Channel IDE * IDE Second Channel Control * PCI IDE 2nd Channel * PCI Slot IDE 2nd Channel	Si se instala una tarjeta IDE (ISA o PCI) controladora de discos duros para el canal secundario, selecciona ' DISABLED ' para evitar conflictos con el canal secundario del <i>CHIPSET</i> de la placa base.
8/16 Bit I/O Recovery Time	El mecanismo de recuperación de las órdenes de entrada y salida de datos añade ciclos de reloj de bus entre las órdenes de los dispositivos PCI con respecto a las órdenes de los dispositivos ISA, que no llevan ciclos de espera. Esto ocurre porque el bus PCI es mucho más rápido que el bus ISA. Estos dos campos te permiten añadir tiempo de recuperación (en ciclos de reloj del bus) para las órdenes de entrada y salida de los dispositivos ISA de 8 y 16 bits. En general, cuanto menor es el número mejores son las prestaciones, aunque deben hacerse pruebas con los valores seleccionados.
A	
ACPI I/O Device Node	ENABLED permite que un dispositivo compatible con la configuración avanzada de ahorro de energía se comunica a través de la BIOS con el sistema operativo.
AGP Aperture Size (MB)	Selecciona el tamaño de apertura del Puerto de Gráficos Acelerados (AGP). La apertura es una parte del rango de la dirección de memoria PCI dedicada para el espacio de dirección de la memoria gráfica. Hay una página con información interesante sobre AGP en http://www.agpforum.org/ . Parece ser que el valor más habitual es 64MB , pero si especificamos una cantidad mayor que la memoria RAM instalada pueden empeorar las prestaciones debido al excesivo uso de la memoria. Probar con cantidades entre el 50% y el 100% de la cantidad de memoria RAM instalada en el equipo.
ALE During Bus Conversion	Dependiendo de la velocidad del equipo, se puede seleccionar una señal SINGLE (una sola) o MULTIPLE (varias) en cada ciclo del bus.
Alt Bit in Tag RAM	Los <i>TAG BITS</i> se usan para determinar el estado de los datos en la memoria caché externa de segundo nivel (L2). Si se úsa el método de caché <i>WRITE-BACK</i> se debe seleccionar 7+1 , si no 8+0 .
APM BIOS	Seleccionar ENABLED para habilitar las configuraciones de ahorro de energía de la BIOS.
Assign IRQ for VGA	Si este apartado está DISABLED , la BIOS del equipo no asigna una interrupción (IRQ) a la tarjeta gráfica, ahorrando así una IRQ. Si está ENABLED , la BIOS asigna una IRQ a la tarjeta gráfica,

	acelerando así la transferencia de datos entre el procesador y la tarjeta gráfica. Sin embargo, algunas tarjetas gráficas, especialmente si necesitan <i>BUSMASTERING</i> (como la <i>Matrox Mystique</i>) necesitan que esté ENABLED para las características 3D.
Async. SRAM Read WS	Selecciona la combinación correcta de ciclos de refresco de lectura de la memoria caché según el diseño de la placa base y las especificaciones de la memoria caché
Async. SRAM Write WS	Selecciona la combinación correcta de ciclos de refresco de escritura en la memoria caché según el diseño de la placa base y las especificaciones de la memoria caché.
AT Clock Option	El diseñador de la placa base decide si el reloj del bus AT está sincronizado con el reloj del procesador o si funciona en modo asíncrono.
AT-BUS Clock	Puedes escoger la velocidad del bus AT en fracciones de la velocidad de reloj del procesador, o a la velocidad fija de 7.16 Mhz.
Audio DMA Select	Selecciona un canal de acceso directo a memoria (DMA) para el puerto de audio, cuando la placa base integra la tarjeta de sonido.
Audio I/O Base Address	Selecciona la dirección de entrada/salida de datos para el puerto de audio, cuando la placa base integra la tarjeta de sonido.
Audio IRQ Select	Selecciona una IRQ para el puerto de audio, cuando la placa base integra la tarjeta de sonido.
Auto Clock Control	Si no se habilita el sistema avanzado de ahorro de energía (APM), en caso de escoger ENABLED la BIOS maneja el reloj del procesador de igual modo a como lo haría el sistema avanzado de ahorro de energía.
Auto Configuration	Selecciona los valores óptimos predeterminados de velocidad de memoria RAM para los parámetros del chipset (FX, HX, VX, TX) de la placa base. En caso de estar DISABLED , se vuelve a los valores almacenados cuando se instaló la placa base. Si se escoge ENABLED , ciertos valores de la sección no pueden modificarse. Para modificar estos valores y así obtener el máximo de prestaciones del equipo, se debe deshabilitar (DISABLED) la auto-configuración. En algunos equipos no se puede deshabilitar.
Auto Detect DIMM/PCI Clock	La BIOS detecta el tipo de módulos DIMM y el tipo de dispositivos PCI y ajusta el bus a la frecuencia máxima permitida por estos. DISABLED para los amantes del overclocking.
Auto Suspend Timeout	Después del periodo de tiempo seleccionado sin actividad, el equipo entra automáticamente en modo SUSPEND .

B

Back to Back I/O Delay	Seleccionar ENABLED para insertar tres señales de reloj del bus AT en los ciclos de entrada salida del bus AT en modo BACK-TO-BACK .
Bank 0/1 DRAM Type	El valor de este campo viene determinado por el fabricante de la placa base, dependiendo de si la placa tiene RAM del tipo FAST-PAGE o del tipo EDO .
BIOS PM on AC	Poner en ON si se desea que las características de ahorro de energía de la BIOS permanezcan activas cuando el sistema se conecta a una fuente de alimentación externa.
BIOS PM Timers	Después del periodo de inactividad seleccionado para cada subsistema (video, disco duro, periféricos), el subsistema entra en modo STANDBY .
Boot Sequence	Los PCs originales de IBM cargaban el sistema operativo DOS desde la unidad A (diskette), por eso los sistemas compatibles están diseñados para buscar un sistema operativo primero en la unidad A, y luego en la unidad C (disco duro). Sin embargo, los ordenadores modernos cargan el sistema operativo desde el disco duro, e incluso de una unidad de CD-Rom, desde una unidad ZIP, una unidad LS-120 o un disco SCSI.
Boot Up Floppy Seek	Cuando está ENABLED , la BIOS busca o testea la unidad de diskettes para determinar si tienen 40 o 80 pistas. Solo los discos de 360Kb tienen 40 pistas. Se recomienda establecer este campo en DISABLED .
Boot Up NumLock Status	Cambiar entre ON y OFF para controlar el estado de la tecla NUMLOCK (Bloq Num) cuando arranca el ordenador. Cuando está ON el teclado numérico genera números en vez de controlar el movimiento del cursor.
Boot Up System Speed	Seleccionar HIGH para arrancar el sistema a la velocidad por defecto del procesador; seleccionar LOW para arrancar a la velocidad del bus AT. Algunos periféricos o viejos juegos pueden requerir una velocidad baja del procesador. Por defecto debe ser HIGH .
Burst Copy-Back Option	Cuando está ENABLED , si una lectura de memoria por parte del procesador da un error de cache, el chipset intentará una segunda lectura.
Burst Write Combining	Cuando está ENABLED , el chipset manda largas ráfagas de datos desde los buffers.
Byte Merge	Este apartado controla la característica de fusión de datos para los ciclos del buffer. Cuando está ENABLED , la controladora comprueba las ocho señales de habilitación del procesador para determinar si los datos leídos por el procesador del bus PCI pueden ser fusionados.
Byte Merge Support	BYTE MERGING retiene los datos de 8 y 16 bits enviados por el procesador al bus PCI en un

buffer donde se acumula en datos de 32 bits para una transferencia más rápida. Luego el chipset escribe los datos del buffer al bus PCI cuando lo considera apropiado. **PCI PIPELINE** y **PIPELINING** combinan el PIPELINING del procesador o del bus PCI con **BYTE MERGING**. **BYTE MERGING** se usa para acelerar los procesos de video.

C

Cache Burst Read	Establece el tiempo necesario (1T, 2T) para que el procesador realice una lectura de la caché en modo ráfaga.
Cache Burst Read Cycle	Establece el tiempo necesario (1CCLK, 2CCLK) para que el procesador realice una lectura de la caché en modo ráfaga
Cache Early Rising	ENABLED aumenta las prestaciones de lectura de la caché
Cache Read Burst	Estos números son los ciclos que usa el procesador para leer datos de la caché. El fabricante de la placa suele establecer los valores dependiendo del tamaño, el tipo y la velocidad de acceso de la caché. Escoger el valor menor y cambiarlo si se producen problemas.
Cache Read Wait States	Selecciona el numero de estados de espera para las señales de salida de datos de la cache. Cuando el valor es 0 WS , CROEA# y CROEB# están activos durante dos ciclos de reloj del procesador; cuando es 1 WS , CROEA# y CROEB# están activos durante tres ciclos de reloj. El número de ciclos de reloj que CROE# permanece activo puede ser mayor. El número se ajusta automáticamente durante los ciclos de escritura de la caché de segundo nivel a la memoria para sincronizarse con la controladora de memoria RAM.
Cache Tag Hit Wait States	Establece el tiempo en estados de espera (0WS, 1WS) para comprobar un acierto de CACHE TAG .
Cache Timing	Si la caché de nivel 2 es de un solo banco escoger FASTER , si es de dos bancos FASTEST . Si no se sabe, probar primero con FASTEST y ver si da errores.
Cache Timing Control	Establece la velocidad para la lectura y la escritura en la caché (de menos a más velocidad: NORMAL, MEDIUM, FAST, TURBO).
* Cache Update Policy	Establece el modo de operación de la caché externa o de segundo nivel(WRITE-BACK, WRITE-THROUGH). WRITE-THROUGH quiere decir que la memoria se actualiza con datos de la caché cada vez que el procesador envía un ciclo de escritura. WRITE-BACK hace que la memoria se actualice sólo en ciertos casos, como pedidos de lectura a la memoria cuyos contenidos están en la caché. WRITE-BACK permite al procesador operar con menos interrupciones, aumentando su eficacia.
* L1 Cache Policy	
Cache Write Burst	Establece los ciclos de reloj exactos utilizados durante la escritura en bloques a la cache. Escoger el valor menor y cambiarlo si se producen problemas.
Cache Write Cycle	Establece el tiempo en ciclos de reloj del procesador (2T, 3T) para la escritura a la caché externa.
Cache Write Policy	Establece el modo de operación de la caché externa o de segundo nivel(WRITE-BACK, WRITE-THROUGH).
Cache Write Timing	Establece el tiempo en estados de espera (0WS, 1WS) para la escritura a la caché externa
Cache Write Wait States	El fabricante de la placa base puede decidir insertar o no un ciclo de espera entre los ciclos de escritura de la caché si lo cree necesario.
Cacheable Range	Especifica el área de memoria caché usada para copiar la BIOS del sistema o la BIOS de un adaptador (e.g. SCSI BIOS), variando de 0-8M a 0-128M .
CAS Address Hold Time	Selecciona el número de ciclos que son necesarios para cambiar la dirección CAS después de iniciar CAS dirigido a una dirección de memoria RAM
CAS Low Time for Write/Read	El número de ciclos de reloj en que se detiene la señal CAS para las lecturas y escrituras de RAM depende de la velocidad de la memoria RAM. No cambiar el valor por defecto especificado por el fabricante.
CAS# Precharge Time	Selecciona el número de ciclos de reloj del procesador asignados para que la señal CAS acumule su carga antes de refrescar la RAM. Si se asigna un tiempo insuficiente, el refresco puede ser incompleto y pueden perderse datos.
CAS# Pulse Width	El diseñador del equipo escoge la dración de una señal CAS
Chipset NA# Asserted	ENABLED permite PIPELINING. De este modo el chipset envía una señal al procesador para una nueva dirección de memoria antes de que se completen las transferencias de datos del ciclo actual. De este modo se mejoran las prestaciones.
Chipset Special Features	Cuando está DISABLED el chipset se comporta como la versión primera del chipset TRITON (430FX), desaprovechando las nuevas funciones
CPU Addr. Pipelining	PIPELINING permite a la controladora del sistema hacer una señal al procesador para una nueva dirección de memoria antes de que todas las transferencias de datos del ciclo actual estén terminadas, dando lugar a una mayor transferencia de datos

CPU Burst Write Assembly	El chipset mantiene cuatro buffers de escritura. Cuando esta opción está ENABLED , el chipset puede mandar largas series de datos desde estos buffers
CPU Core Voltaje	El voltaje debe coincidir con las especificaciones del procesador, o poner el valor en AUTO para que la placa base lo detecte automáticamente. Solo los locos del OVERCLOCKING se atreven a cambiar este valor para conseguir un funcionamiento estable cuando el procesador está funcionando por encima de la velocidad de reloj o de bus recomendada: ¡¡OJO!! Podemos "freír" el procesador.
CPU Fan on Temp High	Cuando el procesador alcanza la temperatura escogida el ventilador del disipador se pone en funcionamiento.
CPU Host/PCI Clock	Lo normal es que esté en DEFAULT , pero se puede escoger una combinación entre el bus del procesador y el bus PCI, teniendo en cuenta que el bus PCI debe ser 33MHz aproximadamente. Es decir 1/2 para 60-75MHz y 1/3 para 95-112MHz. Para forzar a 124, 133, 140 o 150MHz debemos optar por 1/4, si la placa base lo permite. Si un periférico PCI funciona demasiado por encima de los 33MHz, es posible que se produzcan errores, pudiendo llegar a dañar el periférico. Este parámetro tiene gran valor para los amantes del OVERCLOCKING .
CPU Internal Cache /External Cache	La memoria caché es un tipo de memoria adicional mucho más rápido que la memoria RAM. Los procesadores 486 y superiores contienen memoria caché interna, y los ordenadores modernos poseen memoria caché externa. Los datos almacenados en la memoria caché se transfieren mucho más rápido y por ello ambas opciones deben estar ENABLED
CPU L1 Cache /L2 Cache	Igual que el parámetro anterior. L1= internal; L2=external.
CPU L2 Caché ECC Checking	Los procesadores Pentium II a partir de 300MHz y algunas unidades a 266MHz llevan una caché con Código de Corrección de Errores. Si este parámetro está ENABLED , el procesador comprueba con regularidad la integridad de los datos almacenados en la caché de nivel 2. Esto supone un nivel extra de seguridad en los datos (al igual que instalar memoria RAM ECC - típica en ordenadores que vana funcionar como servidores de aplicaciones) pero ralentiza ligeramente el equipo
CPU Line Read	Este campo permite habilitar (ENABLED) o deshabilitar (DISABLED) las lecturas de línea completa del procesador
CPU Line Read Multiple	LINE READ quiere decir que el procesador lee una línea completa de la caché. Cuando una línea de la cache esta llena contiene 32 bits de datos. Si la línea está llena, el sistema sabe cuántos datos leerá y no necesita esperar a la señal de fin de datos, y por ello está libre para hacer otras cosas. Cuando este apartado está ENABLED el sistema puede leer más de una línea completa de caché de cada vez.
CPU Line Read Prefetch	Ver el campo siguiente. Cuando este apartado está ENABLED , el sistema puede adelantar la lectura de la siguiente instrucción e iniciar el siguiente proceso. ENABLED mejora las prestaciones del equipo.
CPU Read Multiple Prefetch	El PREFETCH ocurre cuando durante un proceso (leyendo del bus PCI o de la memoria) el chipset empieza a leer la siguiente instrucción. El chipset tiene cuatro líneas de lectura. Un prefetch múltiple quiere decir que el chipset puede iniciar la lectura de más de una instrucción durante un proceso. ENABLED mejora las prestaciones del equipo
CPU to DRAM Page Mode	Cuando está DISABLED la controladora de memoria cierra la página de memoria después de cada acceso. Cuando está ENABLED , la página de memoria permanece abierta hasta el siguiente acceso a memoria
CPU to PCI Buffer	Cuando está ENABLED , las escrituras del procesador al bus PCI pasan por los buffer, para compensar así la diferencia de velocidad entre el procesador y el bus PCI. Cuando está DISABLED el procesador debe esperar a que se acabe una escritura antes de comenzar otra.
CPU-to-PCI Burst Mem. WR	Este parámetro se encuentra en las placas base con el chipset SIS597, y cuando está ENABLED el chipset puede enviar ráfagas de datos desde sus buffers a los dispositivos PCI
CPU to PCI Byte Merge	BYTE MERGING permite la fusión de datos en escrituras consecutivas del procesador al bus PCI con la misma dirección de memoria, dentro de la misma localización del buffer de escritura. La colección fusionada de datos es enviada por el bus PCI como un dato simple. Este proceso sólo tiene lugar en el rango compatible VGA(0A0000-0BFFFF).
CPU-to-PCI IDE Posting	Seleccionando ENABLED se optimizan las transferencias del procesador al bus PCI.
CPU to PCI POST/BURST	Los datos del procesador al bus PCI pueden pasar por el buffer o pueden ser enviados a ráfagas. Ambos rasgos (POSTING y BURSTING) mejoran las prestaciones del equipo. Estos son los métodos: POST/CON.BURST Posting and conservative bursting POST/Agg.BURST Posting and aggressive bursting

	NONE/NONE	Neither posting nor bursting
	POST/NONE	Posting but not bursting
CPU-to-PCI Write Buffer	Cuando está ENABLED el procesador puede escribir cuatro bloques de datos en el bus PCI sin esperar a que concluya el ciclo PCI. Si está DISABLED , el procesador debe esperar después de cada bloque de datos enviado a que el bus PCI le indique que está listo para recibir más datos. ENABLED acelera los procesos	
CPU-to-PCI Write Post	Cuando está ENABLED las escrituras del procesador al bus PCI pasan por el buffer para compensar la menor velocidad del bus PCI frente al procesador. Si está DISABLED , el procesador debe esperar hasta que la escritura de datos se ha completado antes de enviar más datos. ENABLED acelera los procesos	
CPU Warning Temperature	Selecciona los límites inferiores y superiores para la temperatura del procesador. Si se sobrepasa uno de los límites, se activará un sistema de aviso.	
CPU Write Back Cache	Determina si la caché interna del procesador es de tipo WRITE-BACK (ENABLED) o de tipo WRITE-THROUGH (DISABLED).	
CPU/PCI Write Phase	Determina el número de señales del reloj entre las fases de direccionado y escritura de datos entre el procesador y el bus PCI.	
CPUFAN Off in Suspend	Cuando está ENABLED el ventilador del procesador se apaga en modo SUSPEND de ahorro de energía	
CPU-To-PCI IDE Posting	Seleccionar ENABLED para enviar ciclos de escritura del procesador al bus PCI. Los accesos a los dispositivos IDE son enviados por el procesador a los buffers del bus PCI y así se optimizan los ciclos. ENABLED mejora las prestaciones del equipo	
CPU-To-PCI Write Buffer	Cuando está ENABLED el procesador puede escribir hasta cuatro bloques de datos al buffer PCI y no esperar a que acabe cada ciclo PCI. Cuando está DISABLED el procesador debe esperar a que se el bus PCI le indique el final del ciclo de escritura antes de enviar más datos.	
CPU-To-PCI Write Post	Cuando está ENABLED las escrituras del procesador al bus PCI pasan por un buffer, para compensar la diferencia de velocidad entre el procesador y el bus PCI. Cuando está DISABLED el procesador debe esperar a que finalice un ciclo de escritura antes de enviar nuevos datos al bus PCI.	
CRT Power Down	Cuando está ENABLED la señal del monitor se apaga cuando el sistema entra en modo de ahorro de energía.	
Current CPU Temperature	Si su ordenador tiene un sistema de control de temperatura, presenta la temperatura actual del procesador	
Current CPUFAN 1/2/3 Speed	Si su ordenador tiene un sistema de control, estos campos presentan la velocidad de hasta tres ventiladores del procesador.	
Current System Temperature	Si su ordenador tiene un sistema de control de temperatura, presenta la temperatura actual del sistema	

D	
Date	La BIOS determina el día de la semana a partir de la información de la fecha (sólo para información). Mover el cursor hacia la izquierda o la derecha hasta el campo deseado (date, month, year). Pulsar PgUp (RePag) o PgDn (AvPag) para aumentar o disminuir el valor, o escribir el valor deseado.
Day of Month Alarm	Con el chipset SIS5597 escoge una fecha del mes. Si se pone 0, se puede escoger una alarma semanal.
Daylight Saving	Quando está ENABLED este parámetro añade una hora cuando comienza el tiempo de ahorro. También resta una hora cuando vuelve el tiempo estándar.
Delay for HDD	Algunos discos duros requieren algún tiempo funcionando para ser identificados correctamente. Este apartado especifica el tiempo que debe esperar la BIOS para intentar identificarlo. Cuando menor es el tiempo más rápido arranca el sistema
Delayed Transaction	El chipset tiene un buffer de escritura de 32 bits para soportar ciclos retardados de transacciones. Seleccionar ENABLED para que esté de acuerdo con la versión 2.1 del bus PCI. ENABLED mejora las prestaciones del equipo
Dirty pin selection	Quando se selecciona COMBINE en el campo Tag/Dirty Implement, se puede escoger si el pin DIRTY de datos es para entrada y salida, bidireccional, o solo para entrada de datos.

DMA Clock	Este apartado permite establecer la velocidad del DMA (acceso directo a memoria) a una velocidad igual o mitad de la velocidad de la señal del reloj de sistema (SYSCLK). Establecer una velocidad muy alta puede ser demasiado rápido para algunos componentes.
DMA <i>n</i> Assigned to	<p>Cuando los recursos se controlan manualmente, asignar a cada uno de los canales DMA del sistema uno de los siguientes tipos</p> <p>Legacy ISA: Dispositivos que cumplen la especificación original de bus AT, que requieren un canal DMA específico.</p> <p>PCI/ISA PnP: Dispositivos que cumplen el estándar PLUG AND PLAY, tanto diseñados para la arquitectura de bus ISA como para el bus PCI.</p>
Doze Mode	Después del tiempo de inactividad seleccionado, el reloj del procesador va más lento aunque el resto de los componentes todavía operan a toda velocidad.
Doze Speed (div by)	Escoge un divisor para reducir la velocidad del procesador a una fracción de su velocidad normal durante el modo DOZE.
Doze Timer	Selecciona el periodo de tiempo para que el reloj del procesador vaya más lento aunque el resto de los componentes todavía operen a toda velocidad
Doze Timer Select	Selecciona el periodo de inactividad del sistema tras el cual el sistema entra en modo DOZE .
DRAM Auto Configuration	Cuando está ENABLED , los valores de velocidad (timings) de memoria se escogen de acuerdo con los valores preestablecidos por el fabricante según el tipo de memoria. Cuando está DISABLED , podemos establecer los valores manualmente en los campos que aparecen debajo.
DRAM Data Integrity Mode	Selecciona el modo de corrección (paridad- PARITY , o código de corrección de errores - ECC) de acuerdo con el tipo de memoria RAM instalada.
* DRAM ECC/PARITY Select	Establecer esta opción de acuerdo con el tipo de memoria RAM instalada en el equipo: PARIDAD o ECC . En modo AUTO la BIOS habilita el chequeo automático si existe memoria con paridad o de tipo ECC (error correcting code).
* Memory Parity/ECC Check	
DRAM Enhanced Paging	Cuando está ENABLED , una página de memoria RAM permanece abierta hasta que se produce un fallo de página o de fila. Cuando está DISABLED , el chipset usa información adicional para mantener la página abierta.
DRAM Fast Leadoff	Seleccionar ENABLED para acortar los ciclos de salida de datos y optimizar las prestaciones.
DRAM Last Write to CAS#	Seleccionar el número de ciclos transcurridos entre la última señal de datos y la asignación de CAS#. Este periodo es el tiempo establecido para la señal CAS.
DRAM Leadoff Timing	Seleccionar la combinación de ciclos del procesador que requiere el tipo de memoria instalada en el ordenador antes de cada lectura o escritura en memoria. A menor número mayor velocidad, pero aumentar el valor si se producen frecuentes errores de memoria.
DRAM Page Idle Timer	Selecciona la cantidad de tiempo en ciclos de reloj que la controladora de memoria espera para cerrar una página de memoria después de que el procesador está inactivo.
DRAM Page Open Policy	Cuando está DISABLED , el registro de página abierta se limpia y se cierra la página correspondiente de memoria. Cuando está ENABLED , la página permanece abierta, incluso cuando no hay peticiones.
DRAM Posted Write	Ver a continuación DRAM Posted Write Buffer.
DRAM Posted Write Buffer	El chipset mantiene su propio buffer interno para las escrituras de memoria. Cuando el buffer está ENABLED , los ciclos de escritura del procesador a memoria RAM se envían al buffer, de modo que el procesador puede empezar un nuevo ciclo antes de que la memoria finalice el ciclo anterior.

DRAM R/W Leadoff Timing	Selecciona la combinación de ciclos de reloj que requiere la memoria RAM instalada en el sistema antes de cada lectura o escritura en memoria. Cambiar el valor determinado por el fabricante para la memoria RAM instalada puede causar errores de memoria.
DRAM RAS Only Refresh	En refresco alternativo a CAS-BEFORE-RAS. Debe estar DISABLED a menos que la memoria RAM del sistema requiera este método más antiguo de refresco de memoria.
DRAM RAS# Precharge Time	Seleccionar el número de ciclos de reloj asignados a la señal RAS# (ROW ADDRESS STROBE) para acumular su carga antes de que se refresque la memoria. Si se establece poco tiempo, el refresco puede ser incompleto y se pueden perder datos.
DRAM RAS# Pulse Width	El fabricante del equipo debe seleccionar el número de ciclos de reloj permitido para el refresco de RAS, de acuerdo con las especificaciones de la memoria RAM.
DRAM Read Burst (B/E/F)	Selecciona los tiempos para las lecturas a ráfagas de la memoria RAM. Cuanto menores son los números, más rápido se comunica el sistema con la memoria.
DRAM Read Burst (EDO/FPM)	Establece los tiempos para lecturas desde memoria EDO (EXTENDED DATA OUTPUT) o memoria FPM (FAST PAGE MODE). Cuanto menores son los números, más rápido se comunica el sistema con la memoria. Si se seleccionan unos números menores de los que soporta la memoria RAM instalada, pueden producirse errores de memoria. Cuando los valores son dobles, e.g. x222/x333, el primer valor corresponde a la memoria de tipo EDO y el segundo a la memoria de tipo FPM.
DRAM Read Prefetch Buffer	Cada vez que se hace una petición de acceso a memoria, se realiza la cuenta atrás de un número de ciclos de reloj preprogramados. Cuando la cuenta llega a cero, si el número de buffers llenados es igual o superior que un valor de umbral determinado, la petición de acceso a memoria se convierte en prioritaria. Este mecanismo se usa para controlar la latencia del acceso a memoria. ENABLED mejora las prestaciones del equipo.
DRAM Read Wait State	Estos números son el esquema de ciclos de reloj que usa el procesador para leer datos de la memoria principal. El fabricante de la placa base debe escoger la combinación adecuada, dependiendo del tamaño y la velocidad de la memoria RAM. Escoger el valor más bajo posible, pero si se producen errores frecuentes, ir aumentando el valor poco a poco.
DRAM Read/Write Timing	El diseñador de tu sistema debería seleccionar los tiempos que usa el sistema al leer o escribir en la memoria RAM. Escoger el valor más bajo posible, pero si se producen errores frecuentes, ir aumentando el valor poco a poco.
DRAM Read-Around-Write	Es un valor de optimización de la memoria RAM: si una lectura de memoria es dirigida a una posición cuya última escritura está en un buffer antes de ser escrita a memoria, la lectura se hace con el contenido del buffer, y la lectura no es enviada a memoria.
DRAM Refresh Period	Seleccionar el periodo necesario para refrescar la RAM de acuerdo con las especificaciones del tipo, marca y modelo de memoria. En general, a mayor tiempo mejores prestaciones.
DRAM Refresh Queue	ENABLED permite situar uno tras otro hasta cuatro peticiones de refresco de memoria, de modo que la RAM se refresque a intervalos óptimos. DISABLED hace todas las peticiones de refresco prioritarias. De todos modos, esto depende de si la RAM instalada soporta esta característica; la mayoría lo hacen.
DRAM Refresh Rate	Selecciona el periodo necesario para refrescar la RAM de acuerdo con las especificaciones del tipo, marca y modelo de memoria. En general, a mayor tiempo mejores prestaciones.
DRAM Refresh Stagger By	Seleccionar el número de ciclos de reloj (0-7) entre los refrescos de filas de memoria, según la distribución de memoria. Escogiendo 0, se refrescan todas las filas a la vez.

DRAM Slow Refresh	El refresco de memoria RAM por defecto ocurre cada 15 μ s. Una tarjeta de 16 bit con capacidad bus master puede activar el refresco. Seleccionando un periodo lento de refresco en este apartado especifica la frecuencia de la petición de refresco de una tarjeta ISA.	
DRAM Speculative Leadoff	Una petición de lectura del procesador a la controladora de memoria RAM incluye la dirección de memoria de los datos deseados. Cuando está ENABLED , este parámetro permite a la controladora de memoria pasar a memoria el comando de lectura antes de haber descodificado totalmente la dirección de memoria, acelerando así el proceso de lectura.	
DRAM Speed Selection	El valor de este campo debe corresponder a la velocidad de la memoria RAM instalada en el equipo. NO cambiar los valores por defecto de este campo que han sido determinados por el fabricante de la placa para la RAM instalada. Este valor es la velocidad de acceso, por tanto un valor menor implica un equipo más rápido.	
DRAM Timing	El valor de este parámetro depende de la velocidad de los chips de memoria RAM instalada. Para aumentar las prestaciones del sistema, se puede escoger 60ns (nanosegundos) en caso de tener instalada en el sistema memoria RAM de tipo EDO o memoria de tipo FPM (Fast Page Mode) de 60ns. Si se producen errores de memoria o el sistema se cuelga con cierta frecuencia, se debe escoger 70ns.	
DRAM Timing Control	Esto permite al usuario establecer los ciclos de reloj del sistema al leer o escribir a memoria.	
DRAM to PCI RSLP	Cuando está ENABLED , the chipset permite el adelanto de dos líneas de datos de la memoria del sistema al bus PCI	
DRAM Write Burst (B/E/F) DRAM Write Burst Timing	Establece los ciclos de reloj para las escrituras a memoria RAM en modo ráfaga. A menor número, más rápido se comunica el sistema con la memoria. Seleccionar ciclos de reloj menores que los que soporta la memoria RAM instalada da lugar a errores de memoria.	
DRAM Write Wait State	El diseñador de la placa base puede decidir insertar un estado de espera en el ciclo de escritura de memoria, si es necesario.	
DREQ6 PIN as	Este apartado permite al fabricante de la placa base invocar una rutina de ahorro de energía por software usando la señal DREQ6. Seleccionar SUSPEND SW sólo si la placa base soporta esta característica	
Drive A Drive B	Selecciona las especificaciones correctas para la unidad de diskette instalada en el equipo	
	None	Sin disketera
	360K, 5.25 in	Disketera de 5 1/4 de baja densidad; 360k de capacidad
	1.2M, 5.25 in	Disketera de 5 1/4 de alta densidad; 1.2 megabyte de capacidad
	720K, 3.5 in	Disketera de 3 1/2 de doble cara; 720k de capacidad
	1.44M, 3.5 in	Disketera de 3 1/2 de doble cara; 1.44 megabyte de capacidad
Drive NA before BRDY	Cuando está ENABLED , la señal NA tiene lugar un ciclo de reloj antes de la última BRDY# de cada ciclo para los ciclos de lectura/escritura, generando así una ADS# en el ciclo siguiente después de la BRDY#, eliminando un ciclo muerto.	
	Cuando está ENABLED , cualquier actividad en una línea de señal DRQ despierta el sistema o pone a cero el temporizador de inactividad	
Duplex Select	Este parámetro aparece en un modo de puerto de infrarrojos. El modo FULL DUPLEX permite la transmisión simultánea en ambas direcciones. El modo HALF DUPLEX permite la transmisión en una dirección de cada vez. Hay que seleccionar el valor requerido por el dispositivo de infrarrojos conectado al puerto de infrarrojos.	

E	
ECP Mode Use DMA	Selecciona un canal DMA (acceso directo a memoria) para el puerto.
EDO CAS# MA Wait State	Sólo para memoria EDO. Esto permite al fabricante insertar un estado de espera adicional para el refresco de las columnas de memoria. Este valor debe dejarse como está y si se cambia observar si se producen errores de memoria y volver al valor original
EDO Back-to-Back Timing	En las placas con chipset SIS5571, de acuerdo con las especificaciones de memoria podemos escoger el número de ciclos entre los accesos de ida y de retorno.
EDO DRAM Read Burst	Establece los ciclos de reloj para las lecturas de la memoria RAM en modo ráfaga. Cuanto menor es el número, más rápidamente el sistema se comunica con la memoria. Este parámetro se aplica solamente en caso de que el sistema tenga instalada memoria RAM de tipo EDO.
EDO DRAM Speed Selection	El valor de este campo debe corresponder a la velocidad de la memoria RAM instalada en el equipo. NO cambiar los valores por defecto de este campo que han sido determinados por el fabricante de la placa para la RAM instalada. Este valor es la velocidad de acceso, por tanto un valor menor implica un equipo más rápido.
EDO DRAM Write Burst	Establece los ciclos de reloj para las escrituras en la memoria RAM en modo ráfaga. Cuanto menor es el número, más rápidamente el sistema se comunica con la memoria. Este parámetro se aplica solamente en caso de que el sistema tenga instalada memoria RAM de tipo EDO.
EDO RAS# Precharge Time	El tiempo de precarga es el número de ciclos que se necesitan para que la RAS acumule su carga antes de que se produzca un refresco de memoria. Si el tiempo asignado es insuficiente, el refresco puede ser incompleto y la memoria RAM puede fallar al retener los datos. Este parámetro se aplica solamente en caso de que el sistema tenga instalada memoria RAM de tipo EDO.
EDO RAS# to CAS# Delay	Este parámetro se aplica solamente en caso de que el sistema tenga instalada memoria RAM de tipo EDO. Permite insertar un retraso en los ciclos entre las señales CAS y RAS, usado cuando se lee, se escribe o se refresca la memoria. DISABLED aumenta las prestaciones; ENABLED da mayor estabilidad al sistema.
EDO Read WS	EDO es la abreviatura de Extended Data Output. La memoria RAM de tipo EDO es más rápida que la memoria convencional si la controladora de memoria cache del sistema soporta el modo de transferencias a ráfagas. A diferencia de la memoria RAM convencional, que sólo permite que se lea un byte de cada vez, la memoria EDO permite copiar un bloque entero de memoria a su caché interna. Mientras el procesador está accediendo a esta cache, la memoria puede recibir un nuevo bloque para enviar.
Enhanced Memory Write	Selecciona la combinación correcta de ciclos de reloj de acuerdo con el diseño de la placa base y las especificaciones de la memoria EDO.
Enhanced Page Mode	Este parámetro que mejora la escritura en memoria debe estar DISABLED si la caché es de 512Kb y ENABLED si es mayor.
EPP Version	Seleccionar ENABLED o DISABLED de acuerdo con las especificaciones de la memoria RAM instalada. ENABLED acelera el equipo.
Extended CPU-PIIX4 PHLDA#	Selecciona el puerto EPP de tipo 1.7 o 1.9. Cuando está ENABLED , el sistema añade una señal de reloj a la longitud de tiempo que la señal PHLDA# está activa bajo dos condiciones: Durante la fase de direccionamiento al comienzo de la transacción de lectura/escritura del bus PCI. Después de la fase de direccionamiento de un ciclo de bloqueo del procesador. Cuando este parámetro está ENABLED , el parámetro Passive Release y el parámetro Delayed Transaction deben estar también ENABLED .
Extended Read-Around-Write	Cuando está ENABLED , las lecturas pueden ignorar las escrituras en los componentes del interfaz de memoria 82450GX, si las direcciones no coinciden.
External Cache	La memoria cache es una memoria adicional que es mucho más rápida que la memoria RAM convencional. La mayoría, aunque no todos, los ordenadores modernos tienen memoria caché externa. Cuando el procesador solicita datos, el sistema transfiere los datos de la memoria RAM a la memoria cache, para un acceso más rápido desde el procesador.

F	
Fast AT Cycle	Seleccionar ENABLED para acortar los ciclos del bus AT en una señal del reloj AT.

Fast Back-to-Back	Cuando está ENABLED , los ciclos de escritura consecutivos dirigidos al mismo esclavo se convierten en back-to-back rápidos en el bus PCI.	
Fast DRAM Refresh	La controladora de memoria caché ofrece dos modos de refresco, NORMAL y HIDDEN . En ambos modos, CAS se produce antes que RAS, pero el modo normal requiere un ciclo del procesador para cada uno. Por otra parte, se elimina un ciclo seleccionando HIDDEN para el refresco CAS. El modo HIDDEN no sólo es más rápido y más eficiente, sino que también permite al procesador mantener el status de la cache incluso si el sistema entra en el modo SUSPEND de ahorro de energía.	
Fast EDO Leadoff	Seleccionar ENABLED solamente para memoria RAM de tipo EDO con caché de tipo síncrono o en un sistema sin memoria caché. Seleccionar DISABLED si cualquiera de los bancos de memoria contiene memoria RAM de tipo FPM (Fast Page Mode). ENABLED aumenta las prestaciones.	
Fast EDO Path Select	Cuando está ENABLED , se selecciona un camino rápido para los ciclos de lectura de procesador a memoria RAM, siempre que el sistema tenga instalada memoria EDO. Este valor debe estar DISABLED si la velocidad delectada en el valor EDO DRAM READ BURST es x333 o x444	
Fast MA to RAS# Delay [CLK]	Los valores de este parámetro vienen dados por el fabricante de la placa base, dependiendo del tipo de memoria RAM instalada. No cambiar a menos que se cambie la memoria por una distinta con otras especificaciones o se cambie el procesador.	
Fast RAS to CAS Delay	Cuando se refresca la memoria RAM, las filas y columnas lo hacen independientemente. Este apartado permite determinar los ciclos de reloj de la transición de RAS a CAS. Escoger el valor más bajo, pero observar si se producen errores, pues no todas las memorias soportan un valor bajo.	
FDD Detection	Cuando está ENABLED , cualquier actividad de la disketera anula el modo de ahorro de energía y pone a cero el temporizador de inactividad.	
Floppy 3 Mode Support	Cuando está ENABLED , la BIOS soporta un tipo de disketera que lee disketes de 720Kb, 1.2 Kb y 1.44 Kb.	
G		
Gate A20 Option	La puerta A20 se refiere a como el sistema se comunica con la memoria por encima de 1MB (memoria extendida). Cuando se selecciona FAST , el chipset del sistema controla la puerta A20. Cuando se selecciona NORMAL , la controladora de teclado controla la puerta A20. Seleccionando FAST , la velocidad del sistema mejora, especialmente en OS/2 y WINDOWS.	
Global Standby Timerv	Después del periodo de tiempo seleccionado para todo el equipo, el equipo entra en modo de ahorro de energía STAND-BY.	
Global Suspend Timer	Después del periodo de tiempo seleccionado para todo el equipo, el equipo entra en modo de ahorro de energía SUSPEND.	
Graphic Posted Write Buff	El chipset mantiene su propio buffer interno para las escrituras a la memoria de la tarjeta gráfica. Cuando el buffer está ENABLED , las escrituras del procesador van a buffer, de modo que el procesador puede comenzar otro ciclo de escritura antes de que la memoria gráfica finalice su ciclo.	
Guaranteed Access Time	Cuando está ENABLED , los dispositivos ISA tienen reservado un tiempo de acceso antes de dar el control al bus PCI. Si está DISABLED el bus PCI recupera el control inmediatamente	
H		
Halt On	Durante el auto chequeo al encender el ordenador (POST), la BIOS se detiene si detecta algún error de hardware. Se puede indicar a la BIOS que ignore ciertos errores y continúe el proceso de arranque. Estas son las posibilidades:	
	No errors	No para en ningún error
	All errors	Si se detecta algún error, se detiene el arranque y se pide que se corrija el error.v
	All, But Keyboard	Se detiene en todos los errores excepto el de teclado
	All, But Diskette	Se detiene en todos los errores excepto el de disketera
	All, But Disk/Key	Se detiene en todos los errores excepto el de teclado o disco.

Hard Disks	<p>Explicación de las especificaciones de disco duro:</p> <ul style="list-style-type: none"> • Type: La BIOS contiene una tabla de tipos predefinidos. Si no coincide ninguna serie de valores, escoger USER. • Size: Capacidad aproximada del disco. Este tamaño suele ser ligeramente mayor que la capacidad una vez formateado el disco. • Cyls: Número de cilindros • Head: Número de cabezas • Precomp: Cilindro de precompensación de escritura. Este parámetro no tiene valor en los discos modernos. • Landz: Zona de parada. Sólo para discos antiguos sin auto-aparcamiento • Sector: Número de sectores • Mode: Auto, Normal, Large, o LBA <ul style="list-style-type: none"> ○ Auto: La BIOS detecta automáticamente el modo óptimo. ○ Normal: El número máximo de cilindros, cabezas y sectores soportado es 1024, 16, y 63. ○ Large: Discos que no soportan modo LBA y tienen más de 1024 cilindros. Sólo unos pocos discos duros soportan este modo. ○ LBA (Logical Block Addressing): Durante los accesos a disco, la controladora IDE transforma la dirección de datos marcada por el número de sector, cabeza y cilindro en una dirección de bloque física, mejorando sensiblemente la tasa de transferencia de datos. Sólo para discos de más de 1024 cilindros.
HDD Detection	Cuando está ENABLED , cualquier actividad del disco duro anula el modo de ahorro de energía o pone a cero el temporizador de inactividad.
HDD Off After	Después del tiempo seleccionado de inactividad, el disco duro se apaga pero los otros dispositivos no. Si se selecciona SUSPEND el disco duro se apaga inmediatamente
HDD Power Down	Después del tiempo seleccionado de inactividad, el disco duro se apaga pero los otros dispositivos no
HDD Standby Timer	Después del tiempo seleccionado de inactividad, el disco duro se apaga. El tiempo es independiente de los otros seleccionados para otros dispositivos
Hidden Refresh	Cuando está DISABLED , la memoria RAM se refresca en el modo IBM AT, usando ciclos de reloj del procesador para cada refresco. Cuando está ENABLED , la controladora de memoria busca el momento más oportuno para el refresco, independientemente de los ciclos del procesador, no afectando a la actividad del sistema ni a las prestaciones. ENABLED es más rápido y más eficiente, y permite al procesador mantener el estado de la memoria RAM incluso en modo de ahorro de energía.
Host-to-PCI Bridge Retry	Cuando está ENABLED , la controladora de periféricos (PIIX4) reintenta, sin iniciar una transferencia retardada, los ciclos PCI nonLOCK# iniciados por el procesador. No debe haber transferencias retardadas a la controladora pendientes y debe estar activo PASSIVE RELEASE . Cuando este valor está ENABLED , el valor Passive Release y el valor Delayed Transaction deben estar ENABLED .
Hot Key Power Off	Con el chipset SIS5597, se debe poner ENABLED cuando existe un botón diferenciado para el apagado del equipo y otro para ponerlo en modo ahorro.
I	
IDE 32-bit Transfer Mode	El interfaz IDE de la controladora integrada de periféricos soporta transferencias de 32 bits. Seleccionar ENABLED sólo si los discos duros instalados soportan transferencias de 32 bits.
IDE Buffer for DOS & Win	Seleccionar ENABLED para aumentar la transferencia hacia y desde los dispositivos IDE usando los buffers IDE para lectura anticipada y escritura retrasada. El uso de buffers puede hacer a los discos duros lentos aún más lentos. Si se tienen dudas, se deben hacer pruebas para comprobar el valor que ofrece mayores prestaciones e integridad de datos.
IDE Burst Mode	Seleccionar ENABLED para reducir los tiempos de espera entre cada ciclo de lectura/escritura en el disco. Esto puede provocar problemas en ciertos equipos que no soportan tanta rapidez, por lo que si se producen errores de lectura o escritura a disco, debemos dejarlo en DISABLED .
IDE Data Port Post Mode	Seleccionar ENABLED para acelerar los procesos de lectura y escritura a disco, aunque puede dar errores con equipos que no soporten el aumento de prestaciones. Si se producen errores de disco, dejar en DISABLED .
IDE HDD Block Mode	También se llama BLOCK TRANSFER , comandos múltiples y lectura/escritura de múltiples sectores. Si el disco duro soporta el modo transferencia en bloques (BLOCK MODE), aunque la mayoría de los discos

	nuevos lo soportan, seleccionar ENABLED para una detección automática del número óptimo de lecturas/escrituras en bloque por cada sector que el disco duro soporta.
IDE Prefetch Mode	Los interfaces IDE integrados en la placa base soportan búsqueda adelantada (PREFETCHING) para un acceso más rápido al disco duro. Si se instala una tarjeta controladora IDE primaria y/o secundaria, seleccionar DISABLED en caso de no soportar este modo. ENABLED mejora las prestaciones del equipo.
IDE Primary/Secondary Master/Slave PIO	Los cuatro apartados para la entrada/salida programada de datos (PIO) permiten seleccionar el modo PIO (0-4) para cada uno de los cuatro dispositivos IDE. A mayor número mayor velocidad. En modo AUTO, el sistema detecta automáticamente el mejor modo para cada dispositivo IDE.
IDE Primary/Secondary Master/Slave UDMA	UDMA (Ultra DMA) es un protocolo de transferencia DMA (acceso directo a memoria) que permite transferencias de datos de hasta 33 MB/s en ráfagas. Seleccionando AUTO en los cuatro apartados, el sistema detecta automáticamente la tasa de transferencia óptima para cada dispositivo IDE.
IDE Second Channel Control	El chipset soporta dos canales IDE. seleccionar ENABLED para habilitar el segundo canal IDE para conectar dispositivos, y seleccionar DISABLED para liberar la IRQ15 si no se tienen ningún dispositivo IDE instalado en el segundo canal o si se instala en el equipo una tarjeta con una controladora secundaria.
In Order Queue Depth	Seleccionar 8 para permitir acumular hasta 8 transacciones sucesivas de datos.
IN0-IN6 (V)	Estos apartados permiten mostrar el voltaje de hasta 7 líneas de entrada, si el ordenador tiene un sistema de monitorización.
Inactive Timer Select	Seleccionar el periodo de inactividad del sistema para que este entre en modo inactivo. Siempre debe ser superior al tiempo para modo STANDBY
InfraRed Duplex Type	Seleccionar el valor requerido por el dispositivo de infrarrojos conectado al equipo. FULL-DUPLEX permite la transmisión simultánea en ambas direcciones. HALF-DUPLEX permite la transmisión en una dirección de cada vez. Si no hay instalado un puerto de infrarrojos, seleccionar DISABLED .
Internal PCI/IDE	El chipset integra un interfaz IDE que soporta dos canales IDE, uno primario (IRQ14) y uno secundario (IRQ15). Cada canal IDE soporta dos dispositivos IDE conectados. SDe debe seleccionar PRIMARY, SECONDARY o BOTH (los dos) dependiendo del número y la colocación de los dispositivos IDE instalados
* IR Duplex Mode	Seleccionar el valor requerido por el dispositivo de infrarrojos conectado al equipo. FULL-DUPLEX permite la transmisión simultánea en ambas direcciones. HALF-DUPLEX permite la transmisión en una dirección de cada vez. Si no hay instalado un puerto de infrarrojos, seleccionar DISABLED
* UART 1/2 Duplex Mode	Seleccionar el valor requerido por el dispositivo de infrarrojos conectado al equipo. FULL-DUPLEX permite la transmisión simultánea en ambas direcciones. HALF-DUPLEX permite la transmisión en una dirección de cada vez. Si no hay instalado un puerto de infrarrojos, seleccionar DISABLED
IRQ n Assigned to	Cuando se controlan manualmente los recursos, asignar cada IRQ (petición de interrupción) como uno de los siguientes tipos, dependiendo del dispositivo que use dicha interrupción: Legacy ISA: Dispositivos compatibles con la especificación de bus original PC AT, que requieren una interrupción específica. PCI/ISA PnP: Dispositivos compatibles con el estándar Plug and Play, tanto de arquitectura ISA como PCI.
IRQ8 Break Suspend	Se puede habilitar o deshabilitar la monitorización de la IRQ8 (Real Time Clock - Reloj en tiempo real) para que no anule el modo SUSPEND de ahorro de energía.
IRQ8 Clock Event..	Se puede habilitar o deshabilitar la monitorización de la IRQ8 (Real Time Clock - Reloj en tiempo real) para que no anule el modo de ahorro de energía
IRQn Detection	Cuando está ENABLED , cualquier actividad en la IRQ seleccionada anula el modo de ahorro de energía o pone a cero el temporizador de inactividad
IRRX Mode Select	Este apartado sólo aparece cuando se selecciona para la UART2 (puerto COM2) el modo de infrarrojos (IrDA) modo 1.1. No debe modificarse en cvaso de venir seleccionado de fábrica. En caso de añadirse o cambiarse el dispositivo de infrarrojos, debe leerse la documentación del dispositivo.
ISA Bus Clock	Se puede establecer la velocidad del bus AT a un tercio o un cuarto de la velocidad de reloj del procesador.
ISA Bus Clock Option	La velocidad de reloj del bus ISA es la velocidad a la cual el procesador se comunica con el bus AT (bus de expansión). La velocidad se mide como una fracción del PCICLKI (la señal de ciclo de reloj del bus PCI). Si un periférico tiene problemas de velocidad, se debe experimentar con un valor más bajo (de PCICLKI/3 a PCICLKI/4).
ISA Bus Clock Frequency	Se puede establecer la velocidad del bus AT a un tercio o un cuarto de la velocidad de reloj del procesador.
ISA Clock	Se puede establecer la velocidad del bus AT a un tercio o un cuarto de la velocidad de reloj del procesador.
ISA I/O Recovery	El procesador y el bus PCI y VESA son mucho más rápidos que el bus ISA. ENABLED proporciona un tiempo adicional a los dispositivos de entrada/salida para responder al sistema. Si no, se pueden perder

	datos. DISABLED puede acelerar los procesos si todos los dispositivos ISA soportan FAST I/O (entrada/salida rápida de datos).
ISA Line Buffer	El puente PCI a ISA tiene un buffer en línea bidireccional para las lecturas y escrituras de memoria al bus PCI desde el bus ISA o en el modo DMA. Cuando está ENABLED , el bus ISA o el modo DMA pueden adelantar una búsqueda de un ciclo de lectura en el buffer en línea.

J

Joystick Function	Seleccionar ENABLED si el equipo tiene conectado un joystick.
-------------------	--

K

KBC input clock	El fabricante debe seleccionar la frecuencia correcta para el reloj controlador del teclado. No cambiar este valor.
Keyboard Controller Clock	La velocidad del reloj controlador del teclado es la velocidad a la cual el procesador se comunica con la controladora del teclado. Dependiendo de la controladora de teclado instalada, la velocidad puede fijarse en 7.16MHz o ser una fracción del (PCICLKI), la señal del ciclo de reloj del bus PCI.
Keyboard Emulation	Cuando está ENABLED , se habilitan la puerta A20 y la emulación de reseteo por software para una controladora de teclado externa. Este campo debe coincidir con la opción seleccionada en GATE A20 OPTION (FAST=ENABLED , NORMAL=DISABLED).
Keyboard Resume	Cuando está DISABLED , la actividad del teclado no hace despertar el equipo del modo ahorro.

L

L1 Cache Policy	Se puede escoger entre WRITE-THROUGH (WT) y WRITE-BACK (WB). WRITE-THROUGH hace que la memoria se actualice con datos de la caché cada vez que el procesador lleva a cabo un ciclo de escritura. WRITE-BACK hace que la memoria se actualice solamente cuando se solicitan a la memoria datos que están en la caché. El modo WRITE-BACK mejora la eficacia del procesador y causa menos interrupciones, mejorando las prestaciones.	
L1/L2 Cache Update Mode	Se puede escoger entre WRITE-THROUGH (WT) y WRITE-BACK (WB). WRITEBACK es un poco más rápida que WRITE THROUGH	
L2 Cache Cacheable Size	Seleccionar 512 solamente si la memoria RAM del equipo es mayor de 64MB.	
L2 Cache Write Policy	Además del modo WRITE-BACK y WRITE-THROUGH, la cache de segundo nivel también puede ser ADAPTIVE WB1 y ADAPTIVE WB2 . Ambos modos adaptivos de WRITE-BACK intentan reducir las desventajas de los dos sistemas anteriores. El fabricante debe seleccionar el modo óptimo de acuerdo con las especificaciones de la memoria caché instalada.	
L2 (WB) Tag Bit Length	Se utiliza esta opción para poner la memoria caché en modo WRITE-BACK. Cuando se selecciona 7 bits se pone en modo WRITE-BACK. Cuando se selecciona 8 bits se pone en modo WRITE-THROUGH. Esta opción no siempre aparece en la BIOS.	
L2 to PCI Read Buffer	El chipset mantiene su propio buffer interno para las escrituras de la cache externa al bus PCI. Cuando el buffer esta ENABLED , los ciclos de escritura de la caché externa al bus PCI son enviadas al buffer, de este modo cada dispositivo puede completar sus ciclos sin esperar por el otro.	
LCD&CRT	Selecciona el dispositivo de video:	
	LCD	Pantalla de cristal líquido para portatil
	CRT	Monitor auxiliar
	AUTO	La BIOS autodetecta el dispositivo en uso (este modo permite cambiar entre dispositivos).
LCD&CRT	Mostrar en ambos dispositivos	
LDEV Detection	Cuando está ENABLED , cualquier actividad de la línea de señal LDEV anula el modo de ahorro de energía o pone a cero el temporizador de inactividad	
Linear Merge	Cuando está ENABLED , solamente las direcciones lineales consecutivas pueden ser fusionadas	
Local Memory 15-16M	Para aumentar las prestaciones, el sistema puede situar la memoria de un dispositivo más lento (normalmente conectado al bus ISA) en una memoria de bus local mucho más rápida. Esto se hace reservando memoria de bus local y transfiriendo el punto de comienzo de la memoria del dispositivo a la memoria de bus local. Usar este apartado para habilitar o deshabilitar esta característica. Por defecto está ENABLED .	
LREQ Detection	Cuando Está ENABLED , cualquier actividad en la línea de la señal LREQ anula el modo de ahorro de energía o pone a cero el temporizador de inactividad.	

M

M1 Linear Burst Mode	Seleccionar ENABLED si el equipo tiene un procesador CYRIX M1
MA Additional Wait State	Seleccionando ENABLED se inserta un estado de espera adicional antes del comienzo de una lectura de memoria. Este apartado depende del diseño de la placa base. No cambiar el valor original a menos que se produzcan errores de direccionamiento de memoria (MEMORY ADDRESS ERROR)
Master Mode Byte Swap	Seleccionar ENABLED o DISABLED
Master Retry Timer	Establece cuántas señales del reloj PCI el procesador intenta un ciclo PCI antes de que el ciclo se da por terminado.
Mem. Drive Str. (MA/RAS)	(Memory Address Drive Strength) Este valor controla la fuerza de los buffers de salida de información de MA y BA1 (primer valor) y SRASx#, SCASx#, MWEx#, y CKEx (segundo valor).
Memory	No se puede cambiar ningún valor. Sólo es para información.
	Base Memory 640 KB. Llamada memoria convencional. Usada por el sistema operativo y las aplicaciones convencionales.
	Extended Memory Por encima del límite de 1MB. Entre 640 KB y 1 MB; llamada High memory. El sistema operativo puede cargar programas residentes, como drivers de dispositivos, en esta área para liberar la memoria convencional Las líneas del CONFIG.SYS que empiezan con LOADHIGH se cargan en esta área de memoria.
	Other Memory
Memory Hole at 15M Addr.	Se puede reservar esta área de la memoria del sistema para la memoria ROM de tarjetas ISA. Si se reserva, no se puede utilizar como cache. Ver el manual de los dispositivos por si la necesitan .
Memory Hole at 15M-16M	Se puede reservar esta área de la memoria del sistema para la memoria ROM de tarjetas ISA. Si se reserva, no se puede utilizar como caché. Ver el manual de los dispositivos por si la necesitan .
Memory Parity Check	Seleccionar ENABLED si los chips de memoria RAM del equipo soportan paridad.
MODEM Use IRQ	Especifica la IRQ asignada al modem, si lo hay.
Monitor Event in Full On Mode	En ON MODE , el temporizador de ahorro de energía STANDBY empieza a contar si no se detecta actividad y ha transcurrido el periodo de tiempo especificado.
	Al habilitar (ENABLED) la monitorización de un dispositivo, la actividad de éste anula.
	Al deshabilitar (DISABLED) la monitorización de un dispositivo, la actividad de éste no anula el modo de ahorro de energía.
MPS Version Control for OS	La BIOS soporta las versiones 1.1 y 1.4 de las especificaciones de multiprocesador Intel. Seleccionar la versión que soporta el sistema operativo instalado en el equipo.
MPU-401 Configuration	Seleccionar ENABLED para configurar el interfaz MPU-401.
MPU-401 I/O Base Address	Selecciona una dirección base de entrada/salida para el interfaz MPU-401.

N	
Ñ	
O	
Onboard Audio Chip	Seleccionar ENABLED para usar las capacidades de audio de la placa base
Onboard FDC Controller	Seleccionar ENABLED si el sistema tiene una controladora de diskete en placa base y quiere usarse. Si el equipo no tiene disketera o quiere usarse una disketera externa, seleccionar DISABLED .
* Onboard IDE Controller	El chipset tiene un interfaz IDE PCI que soporta dos canales IDE. Seleccionar PRIMARY para activar sólo el canal primario IDE si se instala una tarjeta controladora para el canal secundario. BOTH activa ambos canales del chipset. NONE desactiva el interfaz y por tanto ambos canales para instalar una tarjeta controladora IDE o PCI en una ranura de expansión.
* On-Chip IDE Controller	
*On-Chip PCI IDE	

* PCI IDE Controller	
* Onboard IDE First/Second Channel	El chipset tiene integrado un interfaz IDE que soporta dos canales IDE. Seleccionar ENABLED para activar el primero y/o el segundo canal IDE. Seleccionar DISABLED para desactivar un canal, en caso de instalar una controladora IDE en tarjeta de canal primario y/o secundario
* On-Chip IDE First/Second Channel	
Onboard Parallel Port	Seleccionar una dirección lógica de memoria y una interrupción (IRQ) para el puerto LPT (paralelo).
Onboard PCI SCSI Chip	Seleccionar ENABLED si la placa base tiene una controladora SCSI integrada y va a utilizarse.
Onboard Serial Ports (1/2, A/B)	Seleccionar un nombre, una dirección de memoria y la IRQ correspondiente para el primer y el segundo puerto COM (puerto serie)
Onboard UART 1/2	Ver Onboard Serial Ports
Onboard UART 1/2 Mode	Ver UART 2 Mode. Los modos se aplican al puerto seleccionado
On-Chip Local Bus IDE	El chipset tiene integrado un interfaz IDE avanzado (de bus local) con dos canales IDE. Ya que cada canal soporta dos dispositivos IDE (disco duro, CD-Rom, Backup, etc.), el sistema soporta un total de cuatro dispositivos IDE. Si su sistema tiene dispositivos IDE, la opción debe ser ENABLED . Si se instala una tarjeta controladora IDE, unos o ambos canales deben estar DISABLED
OS Select for DRAM>64MB	Seleccionar OS2 solamente si el sistema operativo instalado en el ordenador es OS/2 y el equipo tiene más de 64 MB de memoria RAM.
P	
Page Hit Control	Esta función se utiliza para comprobar la controladora.
Page Mode Read WS	Selecciona la combinación correcta de ciclos de reloj según las especificaciones de la placa base y las especificaciones de la memoria RAM de tipo FPM (Fast Page Mode)
Parallel Port EPP Type	Seleccionar tipo 1.7 o 1.9 para el puerto EPP, de acuerdo con el periférico conectado al puerto paralelo
Parallel Port Mode	Selecciona un modo de funcionamiento para el puerto paralelo de la placa base. Seleccionar NORMAL , COMPATIBLE o SPP a menos que se esté seguro que tanto el software como el hardware soportan uno de los otros modos posibles.
Passive Release	Cuando está ENABLED , los accesos del procesador al bus PCI se pueden realizar durante el PASSIVE RELEASE . Si no, el arbitro sólo acepta otro acceso del bus PCI a memoria RAM. ENABLED mejora las prestaciones.
PCI 2.1 Compliance	Seleccionar ENABLED para soportar compatibilidad con la especificación PCI 2.1
PCI Arbitration Mode	El método por el cual el bus PCI determina qué dispositivo gana el acceso al bus. Normalmente el acceso se da al que primero llega. Cuando se rota la prioridad, cuando un dispositivo accede al bus se le asigna la menor prioridad y los demás dispositivos avanzan en la lista de prioridad.
PCI burst Read/Write WS	Seleccionar el número de ciclos de reloj asignados para una lectura/escritura en ráfagas de un PCI master
PCI Burst Write Combine	Cuando esta opción está ENABLED , el chipset envía largas ráfagas de datos desde los buffers.
PCI CLK	El fabricante de la placa base decide si el reloj PCI está sincronizado con el reloj del procesador o es asíncrono.
PCI Delayed Transaction	El chipset tiene un buffer de escritura de 32 bits para soportar ciclos retardados de transacciones. Seleccionar ENABLED para que esté de acuerdo con la versión 2.1 del bus PCI. ENABLED mejora las prestaciones del equipo
PCI Dynamic Bursting	Cuando está ENABLED cada transacción de escritura va al buffer de escritura y si los datos lo permiten se envían a ráfagas al bus PCI, acelerando el equipo al reducir el número de accesos al bus PCI y enviando más datos en cada paquete de cada vez.
PCI Fast Back to Back Wr	Cuando está ENABLED , el bus PCI interpreta los ciclos de lectura del procesador como el protocolo PCI de ráfagas, de este modo los ciclos secuenciales de lectura de memoria del procesador BACK-TO-BACK dirigidos al bus PCI se traducen a ciclos de lectura de memoria en ráfagas al bus PCI.

PCI IDE IRQ Map to	Este apartado permite seleccionar la IRQ para la controladora IDE PCI o ISA. Si el equipo no tiene controladoras integradas en placa base, debe seleccionarse la IRQ adecuada a la tarjeta instalada. Las IRQ estándar para los canales IDE son IRQ14 para el canal primario y IRQ15 para el canal secundario.
PCI IRQ Activated by	Dejar el activador de la IRQ en LEVEL a menos que el dispositivo PCI asignado a la IRQ especifique interrupción activada por EDGE .
PCI Master 0 WS Write	Cuando está ENABLED , las escrituras al bus PCI se ejecutan sin estados de espera.
PCI Mem Line Read	Cuando está ENABLED , los comandos PCI de línea de lectura de memoria buscan líneas completas de caché. Cuando está DISABLED , un comando PCI de línea de lectura de memoria da lecturas parciales en el bus del procesador.
PCI Mem Line Read Prefetch	Cuando está ENABLED , los comandos PCI de memoria buscan líneas completas de caché junto con la búsqueda adelantada de tres líneas adicionales de caché. La búsqueda por adelantado no cruza los límites de dirección de 4KB. Cuando está DISABLED , no se realiza la búsqueda por adelantado. Este valor no tiene sentido si el valor PCI MEM LINE READ está DISABLED . ENABLED mejora las prestaciones del equipo.
PCI Posted Write Buffer	Se puede habilitar o deshabilitar la habilidad del chipset para usar un buffer para las escrituras enviadas iniciadas en el bus PCI.
PCI Preempt Timer	Establece la duración en ciclos de reloj antes de que un comando PCI de por finalizado el anterior cuando hay una petición pendiente.
PCI Pre-Snoop	Pre-snooping es una técnica por la cual un comando PCI puede continuar enviando una ráfaga de datos hasta el límite de página de 4K, en vez de hasta un límite de línea de memoria.
PCI Read Burst WS	Selecciona el número de ciclos de reloj para una lectura en ráfaga. Ni muchos ni pocos, todo depende si trabajamos con bloques grandes de datos o múltiples datos de pequeño tamaño respectivamente.
PCI Timeout	Cuando está DISABLED , los ciclos PCI se desconectan si el primer acceso a datos no se completa en 16 ciclos del reloj PCI. Cuando está ENABLED , los ciclos PCI permanecen conectados aunque no se complete el acceso de datos antes de 16 ciclos del reloj PCI.
PCI to DRAM Buffer	El sistema soporta escrituras almacenadas en buffer del bus PCI a la memoria RAM para aumentar la velocidad.
PCI to L2 Write Buffer	El chipset mantiene su propio buffer interno para las escrituras del bus PCI a la memoria caché externa. Cuando el buffer está ENABLED , los ciclos de escritura del bus PCI a la caché externa pasan al buffer, de modo que cada dispositivo puede completar sus ciclos sin esperar al siguiente
PCI/VGA Palette Snoop	Dejar este parámetro DISABLED . Solamente ha de estar ENABLED si una tarjeta ISA instalada en el sistema lo requiere, para sincronizar la tarjeta descompresora MPEG con la tarjeta gráfica o si se usa un convertidor VGA/TV.
PCI-To-CPU Write Posting	Cuando este valor está ENABLED , las escrituras del bus PCI al procesador pasan por el buffer, de modo que el bus PCI puede continuar escribiendo mientras el procesador está ocupado con otro proceso. Cuando está DISABLED , las escrituras no pasan por el buffer y el bus PCI debe esperar hasta que el procesador esté libre antes de comenzar otro ciclo de escritura. ENABLED mejora las prestaciones del equipo.
PCI-To-DRAM Pipeline	Es un rasgo de optimización de la memoria RAM: si está ENABLED , se habilita la escritura continua del bus PCI a memoria RAM. Los buffer del chipset almacenan los datos escritos del bus PCI a la memoria. Cuando está DISABLED , las escrituras del bus PCI a la memoria RAM se limitan a una sola transferencia por cada ciclo de escritura
PCI Write Burst	ENABLED permite que varias escrituras sucesivas al bus PCI se hagan en modo ráfaga de una sola vez.
PCI Write Burst WS	Establece el número de ciclos de reloj que puede durar una escritura en ráfaga.
Peer Concurrency	PEER CONCURRENCY significa que más de un dispositivo PCI puede estar activo a la vez. ENABLED acelera la velocidad del bus PCI, aumentando las prestaciones del equipo.
Pipeline	Seleccionar ENABLED para habilitar la función de lectura y escritura continua de la caché cuando la memoria caché de segundo nivel del sistema es de tipo continuo síncrono (pipelined synchronous cache)
Pipeline Cache Timing	Para una caché secundaria de un sólo banco, seleccionar FASTER . Si es de dos bancos, seleccionar FASTEST .
Pipelined Function	Cuando está ENABLED , la controladora pide al procesador una nueva dirección de memoria antes que todas las transferencias de datos de los ciclos actuales estén completados, dando lugar a un aumento de prestaciones.
PM Control by APM	Si se instala en el equipo el sistema avanzado de ahorro de energía (APM), seleccionar YES mejora el ahorro.
PM Events	Se puede desactivar la monitorización de algunos dispositivos y algunas IRQ para que no anulen el modo de ahorro de energía. El dispositivo desactivador por defecto es el uso del teclado. Cuando está ON (o se nombre el dispositivo, LPT o COM) la actividad de uno de los dispositivos de la lista anula el modo de ahorro de energía.

PM Mode	El ahorro de energía se configura como SMI Green mode , que es el modo requerido por el procesador.	
PM wait for APM	Si se instala en el equipo el sistema avanzado de ahorro de energía (APM), seleccionar YES mejora el ahorro.	
PnP BIOS Auto-Config	La BIOS puede configurar automáticamente los dispositivos compatibles con el estándar PLUG AND PLAY. Si se selecciona ENABLED , las IRQ disponibles desaparecen, porque la BIOS las asigna automáticamente.	
PNP OS Installed	Seleccionar YES si el sistema operativo instalado es PLUG AND PLAY, como por ejemplo WINDOWS 95.	
Posted PCI Memory Writes	Cuando este parámetro está ENABLED , las escrituras del bus PCI a memoria son enviadas con retraso. Este es un retraso intermedio. Si se activa el buffer para la escritura con retraso del procesador y del bus PCI a memoria RAM, los datos se intercalan con los datos de escritura del procesador y son enviados una segunda vez antes de ser escritos a memoria.	
Power Button Over Ride	Cuando está ENABLED al pulsar el botón de encendido más de cuatro segundos el equipo se apaga. Esto es especialmente útil cuando el equipo se ha quedado colgado. En placas con chipset SIS5597	
Power Down Activities	Se puede desactivar la monitorización de algunas IRQ para que no anulen el modo de ahorro de energía	
Power Down and Resume Events	Se puede desactivar la monitorización de algunas IRQ para que no anulen el modo de ahorro de energía SUSPEND .	
Power Management	Esta opción permite escoger el tipo o grado de ahorro de energía entre los modos Doze , Standby , y Suspend .	
	Esta tabla describe cada uno de los modos:	
	Max Saving	Ahorro máximo. Sólo para procesadores SL (portátiles)
	User Define	Establecer individualmente cada modo.
Power Management	Min Saving	Ahorro mínimo.
	Primary & Secondary IDE INT#	Cada conexión de un periférico PCI es capaz de activar hasta 4 interrupciones: INT# A, INT# B, INT# C y INT# D. Por defecto a la conexión PCI se le asigna INT# A. Asignar INT# B no tiene sentido a menos que el periférico necesite dos IRQ. Como el interfaz IDE de la placa base tiene 2 canales, requiere dos IRQ. Los campos de las IRQ IDE toman por defecto los valores apropiados, y el canal primario usa una IRQ menor que el canal secundario.
	Primary Frame Buffer	Selecciona un tamaño para el buffer PCI. El tamaño no debería afectar a la memoria local
PS/2 Mouse Function Control	Si el sistema tiene un puerto PS/2, pero se instala un ratón de puerto serie, seleccionar DISABLED para ahorrar una IRQ.	

Q

Quick Frame Generation	Cuando está actuando el puente de bus PCI-VL como PCI master y está recibiendo datos del procesador, se habilita un buffer rápido de procesador a bus PCI cuando este apartado está ENABLED . El uso del buffer permite al procesador completar una escritura aunque los datos no hayan sido transferidos totalmente al bus PCI. Esto reduce el número de ciclos necesarios y acelera el proceso de datos.
Quick Power On Self Test	ENABLED reduce el tiempo necesario para realizar el chequeo de arranque (POST). Esto omite ciertos pasos. Es preferible que esté DISABLED para detectar posibles problemas durante el arranque y no mientras se trabaja.

R

RAMW# Assertion Timing	RAMW es una señal que permite escrituras en memoria. El fabricante escoge NORMAL o FGASTAR de acuerdo con el tipo de memoria.
RAS Precharge Access End	Cuando está ENABLED , RAS# permanece fijado al final del control de acceso.
RAS Precharge Time	El tiempo de precarga es el número de ciclos que necesita RAS para acumular su carga antes del refresco de memoria RAM. Un valor menor acelera el equipo, pero si se establece tiempo insuficiente, el refresco puede ser incompleto y se pueden perder datos.
RAS Precharge Period	
RAS Pulse Width	El fabricante del equipo debe establecer el número de ciclos de reloj del procesador asignados para el refresco del latido de RAS, de acuerdo con las especificaciones de la memoria RAM instalada.
RAS Pulse Width Refresh	
RAS Timeout	Cuando está DISABLED , se genera un ciclo de refresco de memoria cada 15 microsegundos. Cuando está ENABLED , se generan ciclos de refresco extra.
RAS to CAS Delay Timing	Cuando se refresca la memoria RAM, las filas y las columnas lo hacen de modo separado. Este apartado permite determinar el tiempo de transición de RAS (row address strobe FILAS) a CAS (column address

	strobe - COLUMNAS). Escoger el valor más bajo posible, pero si se producen errores frecuentes, ir aumentando el valor poco a poco
RAS# Precharge Time	El tiempo de precarga es el número de ciclos que necesita RAS para acumular su carga antes del refresco de memoria RAM. Si se establece tiempo insuficiente, el refresco puede ser incompleto y se pueden perder datos.
RAS# to CAS# Address Delay	Este apartado permite insertar un ciclo de retraso desde el momento en que se asigna RAS# hasta que se asigna CAS#.
RAS# to CAS# Delay	Este apartado permite insertar un ciclo de retraso entre las señales STROBE de CAS y RAS cuando se escribe, lee o refresca la memoria RAM. DISABLED aumenta las prestaciones; ENABLED proporciona mayor estabilidad.
Read CAS# Pulse Width	El diseñador del equipo debe establecer el número de ciclos del procesador que necesita la señal CAS durante una operación de lectura de memoria.
Read-Around-Write	Característica de optimización de memoria: si una lectura de memoria es dirigida a una localización cuya última escritura está en un buffer antes de ser escrita a memoria, la lectura se hace con el contenido del buffer, y no se envía a memoria RAM.
Reduce DRAM Leadoff Cycle	Seleccionando ENABLED se optimizan la velocidad de memoria RAM acortando el tiempo requerido antes de las operaciones de lectura o escritura de memoria. La memoria RAM instalada debe soportar un ciclo reducido.
Refresh Cycle Time (ns)	Selecciona el el periodo de tiempo en nanosegundos para refrescar la memoria, de acuerdo con las especificaciones de la memoria instalada.
Refresh RAS# Assertion	Selecciona el número de ciclos de reloj que se asignan a RAS# para los ciclos de refresco. A menor número mejores prestaciones.
Reload Global Timer Events	Cuando está ENABLED , cualquier operación de los dispositivos listados reinicia el temporizador para el modo STANDBY.
Report No FDD For WIN 95	Al seleccionar YES se libera la IRQ6 cuando el equipo no tiene disquetera (o no se quiere utilizar). Además, debemos deshabilitar la <i>ONBOARD FDC CONTROLLER</i> en el apartado de <i>INTEGRATED PHERIPHERALS</i> de la BIOS
Reset Configuration Data	Normalmente este valor está DISABLED . Se selecciona ENABLED para reiniciar los datos de configuración al salir de la configuración de la BIOS después de haber instalado un dispositivo o haber cambiado valores debido a un fallo en el encendido del equipo.
Resources Controlled By	La BIOS de tipo PLUG AND PLAY configura automáticamente los dispositivos que cumplen el estándar PLUG AND PLAY. Si se selecciona AUTO , desaparecen los campos de IRQ y DMA, porque la BIOS los asigna automáticamente.
Resume by Ring	Una llamada al modem anula el modo de ahorro de energía.
RTC Alarm resume	Permite establecer la fecha y la hora para que el equipo despierte del modo suspendido
S	
SDRAM Bank Interleave	Si el equipo tiene 16MB de RAM dejar DISABLED y escoger 2 Bank o 4-Bank si tiene 64MB o más
SDRAM (CAS Lat/RAS-to-CAS)	Se puede escoger una combinación de latencia CAS y retardo RAS-to-CAS en ciclos de 2/2 y 3/3. El fabricante de la placa base debe establecer los valores dependiendo de la memoria RAM instalada. No cambiar los valores a menos que se cambie la memoria por una con distintas especificaciones o se cambie el procesador. En general, un valor menor aumenta las prestaciones.
SDRAM CAS Latency	Cuando se instala memoria RAM síncrona (SDRAM), el número de ciclos de reloj de la latencia CAS depende de la velocidad de la memoria RAM. En general, un valor menor aumenta las prestaciones.
SDRAM CAS Latency Time	Cuando se instala memoria RAM síncrona (SDRAM), el número de ciclos de reloj de la latencia CAS depende de la velocidad de la memoria RAM. En general, un valor menor aumenta las prestaciones.
SDRAM Cycle Length	Establece los tiempos de latencia de CAS.
SDRAM RAS Precharge Control	Si está ENABLED todos los ciclos de reloj refrescan todos los bancos de memoria.
SDRAM RAS Precharge Time	Si se establece tiempo insuficiente para que RAS acumule su carga antes del refresco de memoria RAM, el refresco puede ser incompleto y se pueden perder datos. FAST aumenta las prestaciones; SLOW proporciona mayor estabilidad. Este apartado sólo tiene valor cuando el sistema tiene instalada memoria SDRAM.
SDRAM RAS to CAS Delay	Este apartado permite insertar un ciclo de retraso entre las señales STROBE de CAS y RAS cuando se escribe, lee o refresca la memoria RAM. FAST aumenta las prestaciones; SLOW proporciona mayor estabilidad. Este apartado sólo tiene valor cuando el sistema tiene instalada memoria SDRAM
SDRAM Speculative Read	El chipset puede especular sobre la dirección de lectura de memoria RAM, reduciendo así los tiempos de latencia de lectura. El procesador inicia una petición de lectura que contiene la dirección de memoria de

	los datos. La controladora de memoria recibe la petición. Cuando este apartado está ENABLED , la controladora inicia el comando de lectura un poco antes de haber acabado de descodificar la dirección de los datos.
SDRAM Wait State Control	Si es necesario el fabricante inserta un estado de espera entre cada acceso de datos a memoria.
SDRAM WR Retire Rate	El fabricante selecciona el valor adecuado para las transferencias del buffer de escritura a memoria, de acuerdo con las características de esta.
Security Option	Si se ha establecido una clave, se debe seleccionar si ésta se pedirá cada vez que arranque el sistema (SYSTEM) o solamente cada vez que se acceda a la configuración (SETUP).
Serial Port 1/2 Interrupt	Seleccionar entre la IRQ por defecto o ninguna para los puertos serie COM 1/3 y COM 2/4.
Serial Port 1/2 Midi	Seleccionar ENABLED si se conecta un dispositivo Midi a uno de los puertos
Shadow	<p>FIRMWARE es el software que reside en un chip con memoria de sólo lectura (ROM) que está en un dispositivo. La BIOS permite crear en la memoria RAM una copia del FIRMWARE de la BIOS del sistema, la BIOS de vídeo y algunas instrucciones de algunos periféricos como las controladoras SCSI.</p> <p>SHADOWING copia el FIRMWARE de la ROM a la memoria RAM del sistema, donde el procesador puede leerla a través del bus de memoria de 16 o 32 bits. Si no está SHADOWED, debe leerla a través de un bus de 8 bits. SHADOWING mejora las prestaciones, pero reduce la cantidad de memoria alta (640 KB a 1 MB) que se necesita para cargar los drivers de los componentes instalados en el sistema.</p> <p>SHADOWING debe habilitarse en cada sección de memoria por separado. Muchos fabricantes evitan que estas opciones se puedan modificar eliminando estos valores de la BIOS.</p> <p>La BIOS de vídeo se copia al área de memoria C0000-C7FFF. Las otras áreas pueden estar ocupadas por otros dispositivos. Si un periférico instalado contiene FIRMWARE en ROM, hay que saber el rango exacto de memoria que ocupa para hacer SHADOWING con el área correcta de memoria RAM.</p>
Shared VGA Memory Speed	Especifica la velocidad de memoria de la memoria RAM asignada como memoria de vídeo.
Single ALE Enable	Seleccionar ENABLED para activar una señal única ALE en vez de múltiples señales durante un ciclo de conversión de bus.
Single Bit Error Report	Si se habilita ECC (código de corrección de errores), en caso de que la memoria instalada lo soporte, ENABLED indica al sistema que avise de los errores.
Sleep Clock	Selecciona STOP CLOCK (parar el reloj) o SLOW CLOCK (reducir la velocidad del reloj) en modo de ahorro de energía.
Sleep Timer	Después del periodo seleccionado de inactividad, todos los dispositivos excepto el disco duro y el procesador se apagan
Slot 1/2/3/4 Using INT#	Algunos dispositivos PCI usan interrupciones para indicar que necesitan usar el bus PCI. Otros, como las tarjetas gráficas, no necesitan una interrupción. Cada ranura PCI puede activar hasta 4 IRQ, INT# A, INT# B, INT# C y INT# D. Por defecto, una ranura PCI usa INT# A. Asignar INT# B no tiene sentido a menos que el dispositivo requiera dos IRQ. INT# C indica que necesita tres y INT# D indica que necesita cuatro. Seleccionando AUTO , por defecto, permite que la controladora PCI asigne automáticamente las interrupciones.
Slow Refresh Enable	Si el equipo tiene instalada memoria RAM de refresco lento, si este apartado está ENABLED la frecuencia de refresco se reduce a un cuarto de la velocidad por defecto.
Soft-Off by PWR-BTTN	Cuando está ENABLED , apagar el sistema con el botón ON/OFF pone al equipo en un modo de muy bajo consumo, volviendo inmediatamente a estar disponible al tocar el botón o al recibir una llamada por el modem.
Spread Spectrum Modulation	Cuando está ENABLED , la velocidad del bus del procesador se modula o varía dinámicamente para evitar interferencias de radio. Obviamente, este valor perjudica a las prestaciones.
SRAM Back-to-Back	ENABLED reduce el tiempo de latencia entre las transferencias de 32 bits, resultando en ráfagas de transferencia de 64 bits.
SRAM Read Timing	Estos números son el esquema de ciclos que usa el procesador para leer datos de la caché. El fabricante de la placa base debe escoger los valores de acuerdo con el tamaño y la velocidad de acceso de los módulos de memoria caché. A menor número, mejores prestaciones.
SRAM Type	La controladora admite caché síncrona y asíncrona. Escoger el tipo de acuerdo con la caché instalada en el equipo.
SRAM Write Timing	Si es necesario se puede insertar un estado de espera en el ciclo de escritura de la caché. El fabricante de la placa debe escoger el número de estados de espera adecuado. Si se producen errores de caché, añadir un estado de espera.

Standby Mode	Después del periodo de tiempo seleccionado, el disco duro y la tarjeta gráfica se apagan mientras que los otros dispositivos siguen funcionando.	
Standby Speed (div by)	Selecciona un divisor para reducir la velocidad real del procesador en modo Standby.	
Standby Timer Select	Selecciona es periodo de tiempo tras el cual el sistema entra en modo STANDBY. Este periodo debe ser más largo que el establecido para el modo DOZE.	
Standby Timers	Después del periodo de inactividad seleccionado para cada dispositivo (video, disco duro, periféricos), el dispositivo entra en modo Standby	
Starting Point of Paging	Controla el tiempo de comienzo de las operaciones de paginación de memoria	
Suspend Mode	Después del periodo de inactividad seleccionado, todos los dispositivos excepto el procesador se apagan	
Suspend Mode Option	Selecciona el tipo de modo SUSPEND:	
	POS	Power-on suspend (el procesador y el sistema base están encendidos en un modo de muy bajo consumo)
	STD	Guardar el estado actual de pantalla a disco duro
	STR	Guardar el estado actual de pantalla a memoria RAM
Sustained T3 Write	Si la memoria caché es de tipo Pipeline Burst, seleccionando ENABLED se permite una escritura sostenida durante tres ciclos de reloj con buses de 66MHz y 75MHz.	
Swap Floppy Drive	Este apartado sólo es válido en equipos con dos disqueteras. ENABLED asigna a la unidad B la letra A y viceversa.	
Switch Function	Con el chipset SIS5597, selecciona la función que realiza el botón de encendido	
	DETURBO	reduce la velocidad del procesador
	BREAK	el sistema entra en modo SUSPEND
	BREAK/WAKE	el sistema entra en modo SUSPEND y para retornar hay que pulsar de nuevo el botón
SYNC SRAM Support	Si se instala memoria caché síncrona, aquí podemos especificar si la caché es síncrona estándar (STANDARD) o de tipo continuo (PIPELINED).	
Synchronous AT Clock	La velocidad del reloj síncrono del bus AT es la velocidad a la cual el procesador se comunica con el bus AT de expansión. La velocidad es una fracción de CLK, la velocidad del bus del procesador. Si un periférico tiene problemas de velocidad, probar a cambiar a una velocidad menor (de CLK/3 a CLK/4).	
System BIOS cacheable	ENABLED permite copiar a memoria caché la ROM BIOS del sistema en la dirección F0000h-FFFFFh, aumentando así las prestaciones. Sin embargo, si un programa escribe en este área se puede producir un error..	
T		
Tag Compare Wait States	El punto de muestra Tag puede estar en el primer ciclo T2 (con 0 estados de espera) o en el segundo ciclo T2 (con 1 estado de espera). La operación TAG con 0 estados de espera requiere una memoria caché de 12 nanosegundos o más rápida.	
Tag Option	Selecciona un CACHE TAG RAM de 7 bits con un bit DIRTY, o un TAG de 8 bits.	
Tag RAM Size	El sistema usa TAG BITS para determinar el estado de los datos en la cache. El valor de este campo debe coincidir con las especificaciones de los chips de TAG RAM instalados	
Tag/Dirty implement	La controladora de caché soporta dos métodos para determinar el estado de datos en la caché. SEPARATE separa la señal TAG de la señal DIRTY. COMBINE combina las dos señales en una señal única de 8 bits (si se selecciona 7 bits en la anterior) o 9 bits (si se seleccionan 8 bits en la anterior).	
Throttle Duty Cycle	Cuando el sistema entra en modo DOZE, el reloj del procesador corre sólo parte del tiempo. Aquí se puede seleccionar el porcentaje de ese tiempo.	
Time	El formato es de tipo 24 horas. Por ejemplo, 1 de la tarde es 13:00:00. Ir al campo deseado utilizando el cursor. Pulsar PgUp (RePag) o PgDn (AvPag) para cambiar el valor, o escribir el valor deseado	
Turbo Frequency	Permite forzar el bus del procesador (66 o 100MHz) entre un 2'5% y un 5%. No todas las placas lo soportan, pero hay que tener en cuenta que supone forzar el procesador. Si funciona supone un incremento importante de prestaciones sin los típicos excesos de buses como 75, 83, 112 o 133MHz. Es como habilitar el bus de 100MHz con un procesador con bus de 100MHz.	
Turbo Read Leadoff	ENABLED acorta los ciclos de comienzo y aumenta las prestaciones en equipos sin memoria caché, equipos con bus de 50 o 60 MHz o equipos con un sólo banco de memoria RAM de tipo EDO.	
Turbo VGA (0 WS at A/B)	Cuando está ENABLED el rango de memoria de A_0000 a B_0000 se utiliza para ciertos rasgos de aceleración. Estos rasgos no afectan a resoluciones superiores a VGA, y además estos rangos son utilizados por juegos como DOOM.	
Turn-Around Insertion	Cuando está ENABLED , el chipset inserta un ciclo de reloj extra al retorno de los ciclos de memoria BACK-TO-BACK .	
TxD, RxD Active	Consultar la documentación del periférico de infrarrojos para seleccionar el valor adecuado para las	

	señales TxD y RxD
Typematic Rate (Chars/Sec)	Cuando está ENABLED , se puede seleccionar el número de veces por segundo que se repite el carácter de una tecla pulsada.
Typematic Rate Setting	Cuando está DISABLED , los valores anteriores no se aplican y las teclas repiten con la frecuencia marcada por la controladora de teclado del sistema. Cuando está ENABLED , se puede seleccionar el retraso y la frecuencia de repetición

U

	Selecciona el modo de operación del segundo puerto en serie (COM)	
UART 2 Mode	Normal	Puerto serie RS-232C
	IrDA SIR	Puerto serie de infrarrojos compatible IrDA
	IrDA MIR	Puerto de infrarrojos 1 MB/sec
	IrDA FIR	Puerto de infrarrojos estándar rápido
	Sharp IR	Transmisión de datos a 4-Mb/s
UR2 Mode	Ver modo de la UART2	
USB Controller	Seleccionar ENABLED si el equipo tiene una controladora de Puerto Serie Universal (USB) y existen dispositivos USB.	
USB Keyboard Support	Seleccionar ENABLED si el equipo tiene una controladora de Puerto Serie Universal (USB) y hay un teclado USB instalado.	
USB Latency Time (PCI CLK)	Seleccionar la cantidad mínima de tiempo, en ciclos del reloj PCI, que la controladora USB puede ocupar el bus PCI. Un valor menor mejora las prestaciones del equipo.	
Use IR Pins	Debe consultarse la documentación del periférico de infrarrojos para fijar los valores correctos para las señales TxD y RxD	
Used Mem base addr	Selecciona la dirección base para el área de memoria usada por cualquier periférico que requiera memoria alta (de 640 KB a 1 MB).	
Used Mem Length	Selecciona la longitud del área de memoria especificada en el apartado anterior. Este valor no aparece si no se especifica una dirección base.	
USWC Write Post	Cuando la cache de la memoria de vídeo se configura para el modo USWC, seleccionar ENABLED para una caché en modo WRITE-BACK.	

V

VGA Active Monitor	Cuando está ENABLED , cualquier actividad de vídeo reinicia el temporizador para el modo STANDBY	
VGA Frame Buffer	Cuando está ENABLED , se implementa un buffer fijo de vídeo entre A000h y BFFFh y también se implementa un buffer de escritura de procesador al bus PCI.	
VGA Performance Mode	Si está ENABLED , el rango de memoria VGA de A_0000 a B_0000 usa una serie especial de rasgos de aceleración. Estos rasgos no tienen valor en modos de vídeo más allá del estándar VGA, modos típicos de WINDOWS, OS/2, UNIX, etc. Esta área de memoria es muy utilizada por juegos como DOOM.	
VGA Shared Memory Size	Especifica el tamaño de la memoria del sistema que se asigna a memoria de vídeo, de 512 KB a 4 MB.	
Video		Selecciona el tipo del subsistema primario de video del ordenador. la BIOS suele detectar automáticamente el tipo correcto. La BIOS soporta un subsistema secundario de vídeo, pero no se selecciona en la BIOS.
	EGA/VGA	Enhanced Graphics Adapter/Video Graphics Array. Para adaptadores de monitor EGA, VGA, SEGA, SVGA o PGA.
	CGA 40	Adaptadora gráfica en color, en modo de 40 columnas
	CGA 80	Adaptadora gráfica en color, en modo de 80 columnas
	MONO	Adaptador monocromo, incluyendo los de alta resolución
Video BIOS Cacheable	Si se selecciona ENABLED se permite copiar en caché la BIOS ROM de vídeo en la dirección C0000h a C7FFFh, aumentando así las prestaciones gráficas. Pero si un programa escribe en este área se pueden producir errores	
Video Buffer Cacheable	Cuando está ENABLED , la BIOS de vídeo (en la dirección C0000h a C7FFFh) se copia a la caché	
Video Detection	Cuando está ENABLED , cualquier actividad de vídeo anula el modo de ahorro de energía o pone a cero el temporizador de inactividad.	
Video Memory Cache Mode	Seleccionar modo UC (no copiar a cache) o modo USWC (no copiar a caché, combinar escritura especulativa). USWC puede mejorar las prestaciones cuando se accede al buffer de memoria de vídeo.	
Video Off After	Selecciona el modo en que se apaga el monitor al pasar de ahorro medio a ahorro máximo de energía.	
Video Off Method	Determina la manera en que se apaga el monitor	

	V/H SYNC+Blank	El sistema apaga los puertos de sincronización vertical y horizontal y no escribe datos al buffer de vídeo.
	DPMS Support	Seleccionar esta opción si el monitor soporta el estándar Display Power Management Signaling (DPMS) VESA. Se debe utilizar el software suministrado para el sistema de vídeo para seleccionar los valores adecuados.
	Blank Screen	El sistema no escribe datos
Video Off Option	<p>Selecciona los modos de ahorro de energía cuando se apaga el monitor:</p> <p>Always On El monitor permanece encendido</p> <p>Suspend --> Off Monitor queda en blanco en el modo SUSPEND.</p> <p>Susp, Stby --> Off Monitor queda en blanco en el modo SUSPEND y STANDBY</p> <p>All Modes --> Off El monitor queda en blanco en todos los modos de ahorro de energía.</p>	
Video RAM Cacheable	<p>Seleccionar ENABLED para permitir que se copie a caché la BIOS ROM de vídeo en la dirección C0000h a C7FFFh, aumentando así las prestaciones gráficas. Pero, si un programa escribe a esta área de memoria se producirá un error de memoria</p> <p>Cuando está ENABLED, se recibe un mensaje de aviso si un programa (especialmente un virus) intenta reescribir el sector de arranque o la tabla de partición del disco duro. Entonces debe ejecutarse un programa anti-virus</p>	
Virus Warning	<p>NOTA: Muchos programas de diagnóstico que acceden al sector de arranque pueden disparar este mensaje. En tal caso, conviene desactivar el aviso. Desactivar esta opción para instalar WINDOWS 95.</p>	
W		
Wake Up Event in Inactive Mode	<p>Habilita las interrupciones (IRQ) deseadas para despertar el sistema de un estado de ahorro reducido de energía.</p> <p>Se puede activar o desactivar la monitorización de cada IRQ para que despierten o no el sistema de un modo de ahorro de energía DOZE o STANDBY.</p>	
Wake Up Events	<p>Por ejemplo, si se tienen un modem en la IRQ3, puede utilizarse esa IRQ como desactivador del modo de ahorro para que el sistema reciba el mensaje.</p> <p>El dispositivo desactivador por defecto es el teclado.</p>	
Watch Dog Timer	<p>Programa una señal acústica o un reset cuando el programa que se monitoriza no responde de manera adecuada.</p>	
WAVE2 DMA Select	<p>Selecciona un canal DMA para el dispositivo WAVE2.</p>	
WAVE2 IRQ Select	<p>Selecciona una interrupción (IRQ) para el dispositivo WAVE2.</p>	
WDT Active Time	<p>Selecciona el periodo de control de Watch Dog.</p>	
WDT Configuration Port	<p>Selecciona el puerto I/O de Watch Dog.</p>	
WDT Time Out Active For	<p>Selecciona la respuesta de Watch Dog.</p>	
Word Merge	<p>Este apartado controla el rasgo de unión de datos para los ciclos del buffer. Cuando está ENABLED, la controladora comprueba las ocho señales de habilitación del procesador para determinar si los datos leídos del bus PCI por el procesador pueden ser unidos.</p>	
Write CAS# Pulse Width	<p>El diseñador del equipo debe establecer el número de ciclos del procesador que la señal CAS permanece asignada durante una operación de lectura de memoria RAM.</p>	
X		
Y		
Z		
ZZ Active in Suspend	<p>Cuando está ENABLED, la señal ZZ está activa durante el modo SUSPEND.</p>	